

I B S C O M P U T E R T E C H N I K

APPLE INTERFACE

AP 14 Floppy - Disk - Controller

Revision: 1.1

INSTALLATIONS - UND BENUTZUNGSHINWEISE

BITTE ERST SORGFÄLTIG DURCHLESEN, DANN DIE KARTE BENUTZEN !

(c) Copyright Dezember 1984
IBS COMPUTERTECHNIK
Olperstraße 10
4800 Bielefeld 14
Telefon 0521 / 444032

AP 14 - Kurzbeschreibung

Die AP 14 ist eine Floppy-Disk-controller-Karte, die viele interessante Möglichkeiten eröffnet.

Die besonderen Vorteile der Karte sind:

- Steuerung von bis zu 10 Laufwerken an einem controller.
(Je nach Software)
- Es können 5 1/4", 8"- Laufwerke auch gemischt verwendet werden.
- Anschluß von 8" - kompatiblen 5 1/4" - Laufwerken möglich.
- Formatierung im IBM - Format, dadurch leichter Austausch von Disketten- Programmen mit anderen Rechnern möglich.
- Keine Modifizierung von Industrielaufwerken zum Betreiben an Apple-Controllern mehr nötig.
- Schnelleres und sichereres Lesen und Schreiben.
- Eingebauter Apple - Controller

Einzelheiten:

Hardware:

Anschlußmöglichkeit von :

- | | |
|------------------------------------|---------------------------------|
| 4 x 8" Drives | in single und double
density |
| + 4 x 5 1/4 " Dives | IBM - Format |
| + 2 x Original - Apple - Laufwerke | |

Softwareunterstützung:

UCSD-Pascal 1.1	max. 6 Laufwerke
CP/M 2.0 (Z80A)	max. 4 Laufwerke
CP/M 2.0 (Z80B)	max. 4 Laufwerke
Prodos	max. 4 Laufwerke
CP/M 68K (AP20)	max. 2 Laufwerke

Wichtige allgemeine Hinweise

1. Verändern Sie nicht die Jumper-Einstellung!
2. Beachten Sie bitte, daß Booten nur von einem APPLE-Drive am entsprechenden Anschluß der AP14 möglich ist oder von einem anderen Controller aus.
3. Setzen Sie die AP14 in den Slot ein, für den die Software (EPROM) vorgesehen ist. Software für andere Slots können Sie bei Bedarf von IBS erhalten.
4. Lesen Sie sich bitte sorgfältig die Software-Beschreibung am Ende dieses Handbuches durch, bevor Sie die AP14 einsetzen. Bevor Sie einen Treiber konfigurieren, informieren Sie sich bitte genau über den Aufbau einer Diskette.
5. Verwenden Sie nur die richtigen Disketten.
Für 160-Track-Laufwerke benötigen Sie Disketten des Typs "96 TPI" und für die 8"-kompatiblen Laufwerke Disketten des Typs "HD". Die meisten Laufwerke akzeptieren auch "Billig-Disketten". Das Ergebnis merken Sie dann aber nach einigen Tagen, wenn Ihre Daten nicht mehr einwandfrei sind.
6. Die meisten Laufwerke erzeugen ein "Ready"-Signal, sobald der Kopf auf die Scheibe aufgesetzt hat. Entsprechend ist der Jumper J2 gesetzt. Sollte das bei Ihrem Laufwerk nicht der Fall sein, können Sie den Jumper auf "Automatic-Ready" = Ready durch Motor-on setzen. Unter Umständen kann aber die Verzögerungszeit zu kurz sein, so daß Sie besonders wenn Track 0 angefahren wird, Fehler bekommen. Schicken Sie uns in einem solchen (seltenen) Fall bitte die Karte mit Fehlerbeschreibung ein.

Erzeugt Ihr Laufwerk, was die Regel ist, ein "Ready-Signal" so setzen Sie bitte nie den Jumper J2 auf "Automatic-Ready", sonst kann es zu Datenfehlern kommen!
7. Die AP14 wurde vor Auslieferung sorgfältig getestet. In wenigen Fällen, besonders bei einigen kompatiblen APPLE II-Rechnern, kann es allerdings, bedingt durch unkorrekte Bestückung des Motherboards, zu Problemen kommen. Wir helfen Ihnen in solch einem Fall gerne weiter. Setzen Sie sich bitte mit uns in Verbindung. Eine Vergütung für eine "Anpassung" müssen wir uns allerdings vorbehalten.

Die AP 14 gestattet es, verschiedene Laufwerkstypen, auch gemischt, einzusetzen. Die Karte hat drei Anschlußmöglichkeiten für Laufwerke:

1. Anschluß für Standard-Apple-Laufwerke, hier können zwei Laufwerke angeschlossen werden.
2. Anschluß für 5 1/4 " - Industrielaufwerke mit der Möglichkeit, bis zu 4 Laufwerke zu betreiben.
3. Anschluß von 8" - oder 8" - kompatiblen Laufwerken, hier können wiederum bis zu 4 Laufwerke angeschlossen werden.

Alle Laufwerke können gleichzeitig, d.h. ohne mechanische Umschaltung, angeschlossen sein. So können Sie z.B. Daten von einem Apple - Laufwerk auf ein 8" oder ein 5 1/4" - Laufwerk kopieren und natürlich auch umgekehrt. Selbstverständlich können Sie auch Programme zwischen den Industrielaufwerken kopieren.

Außerdem können Sie wählen, ob die Daten in Single - Density (einfache Speicherdichte) oder in Double Density (doppelte Speicherdichte) geschrieben bzw. gelesen werden sollen. Double Density ergibt doppelte Diskettenkapazität, wobei Sie allerdings hierbei etwas bessere Disketten verwenden sollten (96-TPI-Disketten!).

Die Softwareunterstützung beinhaltet alle oben angegebenen Möglichkeiten unter den Betriebssystemen "CP/M 56" (Softcard-CP/M), "CP/M 64" (AP22), "UCSD-Pascal" und Prodos.

Eine Implementation unter "APPLE-DOS" ist derzeit nicht vorgesehen.

Die Hardware

Die AP 14 beinhaltet einen Standard - Apple - controller und einen "richtigen" Floppy - Disk - controller für Industrielaufwerke.

Auf Apple - Laufwerken wird durch eine besondere Kodierung der Daten eine größere Kapazität auf den Disketten erreicht. Diese Kodierung entspricht jedoch keinem Standard und wird nur bei Apple verwendet. Die Begründung dafür liegt in einem geringeren Hardwareaufwand. Nachteile gibt es allerdings bei der Leseschwindigkeit, Inkompatibilität mit 8" - Laufwerken und der begrenzten Anzahl der steuerbaren Laufwerke.

Will man diese Nachteile beseitigen, kommt man allerdings ohne einigen Aufwand an Hardware nicht aus. Durch Verwendung moderner, hochintegrierter Bausteine, bleibt dieser Aufwand aber in Grenzen. Das große Problem, was aber noch auftritt, ist der Datentransfer in den Apple - Speicher. Fährt man in Double - Density, so liefert der controller - Baustein schneller Daten, als die CPU des Apple verarbeiten kann. Die einzige Möglichkeit zur Lösung dieses Problems ist das Umgehen der CPU und der direkte Datentransfer in den Speicher. Dieser Datentransfer wird auf der AP 14 wiederum von einem hochintegrierten und sehr

schnellen Baustein, einem DMA - controller, durchgeführt. Die CPU des Apple wird hierbei einfach abgeschaltet und findet anschließend die Daten an der richtigen Stelle im Speicher wieder.

Einen Großteil der Arbeit erledigen also diese beiden hochintegrierten Bausteine, der "Floppy - controller" (SAB 1793) und der DMA - controller" (HD 6844). Damit diese Bausteine richtig arbeiten können, müssen sie allerdings immer entsprechend programmiert werden.

Der ROM - Speicher (Eprom) auf der Karte enthält die Bootprogramme für die Apple- und für die Industrielaufwerke.

Programmierung der Karte

Details über die Programmierung der hochintegrierten Bausteine entnehmen Sie bitte den beigegeführten Datenblättern.

Die Ansprech - Adressen der Bausteine liegen alle im IO - Bereich und im Device - Bereich des Apple.

Adressen für den Floppy-controller

cnb0 Select - Register
cna0 Command/Status - Register
cna1 Track - Register
cna2 Sektor - Register
cna3 Daten - Register

(n = Slot-Nummer)

Belegung des Daten - Select - Registers

D7	controller - Select 1 = Industrie 0 = Apple	80H
D6	Motor on 1 = Motor on	40H
D5	Density 0 = Double Density 1 = Single Density	20H
D4	Side Select 0 = Side 0 1 = Side 1	10H
D3	Umschaltung 8" oder 5 1/4" für die PLL 0 = 8" 1 = 5/4"	8H
D2	Umschaltung Drive Select auf 8" -/ 5 1/4" - Bus 0 = 5 1/4" 1 = 8"	4H
D0,D1	Drive Select für Industrie - Bus	2H 1H

Adressen des DMA - controllers

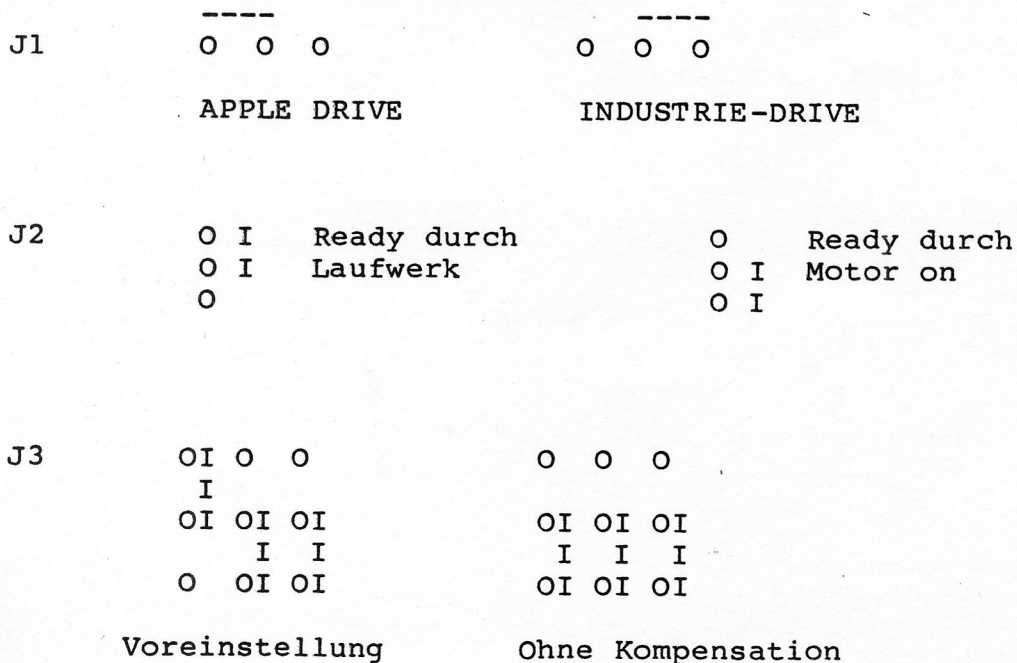
```
-----
Cn80  Adresse High
Cn81  Adresse Low
Cn82  Byte Count High
Cn83  Byte Count Low
Cn90  Channel Control Register
Cn94  Priority Control Register
```

(n = Slot-Nummer)

Bedeutung der Jumper

- ```

```
- J1 Umschaltung Booten von Apple-Drives oder von Industrie-Drives. Hierbei wird zwischen unterschiedlichen Boot - Programmen umgeschaltet. == Derzeit aber in der Software nicht vorgesehen==
  - J2 Umschaltung für das "Ready - Signal" Einmal wird das Ready - Signal vom Laufwerk erzeugt und in der anderen Stellung vom Controller selbst durch das Motor - on - Signal.
  - J3 Umschaltung der Prekompensation Mit diesem Jumperfeld kann die Zeit für die Prekompensation eingestellt werden. Dazu siehe auch beiliegendes Datenblatt. In der eingestellten Konfiguration müßten allerdings die Mehrzahl der Laufwerke problemlos laufen.



## Programmierung der AP 14

-----

Die mitgelieferte Software unterstützt viele der Möglichkeiten der AP 14. Für Interessierte und für Anwender mit speziellen Problemen hier kurz eine Einführung in die maschinennahe Programmierung dieser Floppy-Disk-Controller-Karte.

Durch die Verwendung eines "intelligenten" Floppy-Disk-Controllers und eines DMA-Bausteines ist die Programmierung der AP 14 fast schon ein Kinderspiel. Es müssen nur die beiden Bausteine richtig initialisiert werden und anschließend ein entsprechendes Startkommando erfolge. Den eigentlichen Datentransport von der Diskette in den Speicher (Sektorweise) erledigen dies beiden intelligenten Bausteine.

Programmierbeispiel: Schreiben und anschließendes Lesen eines Sektors.

Zuerst soll ein Sektor (256 Bytes) vom Apple-Speicher ab Adresse \$2000 auf die Diskette, und zwar auf Track 0, Sektor 5 geschrieben werden.

Die Apl4 stecke im Folgenden im Slot 5.

Als Laufwerk ist das 8"-kompatible Drive TEAC FD55G angenommen.

Initialisierung des DMA-Controllers:

```
c580: 20 Adresse im Apple-Speicher: $2000
c581: 00
c582: 01 Länge der Übertragung: 256 Bytes
c583: 00
c590: 05 channel-control-register: read from memory in Mode 1
c594: 01 priority-control-register: enable channel 1
```

Laufwerk selektieren:

```
c5b0: c0 select-register: industrie-bus, motor on, drive 0
 double-density, side 0, 8"-Drive
 PLL auf 5 1/4".
```

Floppy-Controller-Baustein initialisieren:

```
c5a0: 0 reset
c5a1: 0 momentaner track
c5a2: 5 Sektor 5
c5a3: 0 track 0 soll angefahren werden
c5a0: 18 seek-kommando: gewünschten track anfahren
c5a0: a2 write kommando
```

Mit dem letzten Befehl wird der gewünschte Speicherbereich (Sektor) auf die angewählte Stelle auf der Diskette geschrieben.

Das Lesen eines Sektor geschieht in genau der gleichen Art und Weise. Nur müssen hier anstelle der write-kommandos beim dma-Controller und beim FDC die Lese-Kommandos stehen.

Sektor- und Track-Register beim FDC sowie die Adress- und Byte-Count-Register des DMA-Controllers müssen nicht unbedingt neu gesetzt werden, wenn z.B. in den gleichen Pufferbereich im Apple-Speicher beschrieben werden soll. Ebenso muß natürlich der Seek-

Befehle auch nicht erfolgen, wenn schon der richtige Track angefahren worden ist.

Eine vollständige Sequenz sähe folgendermaßen aus:

Initialisierung des DMA-Controllers:

```
c580: 20 Adresse im Apple-Speicher: $2000
c581: 00
c582: 01 Länge der Übertragung: 256 Bytes
c583: 00
c590: 04 channel-control-register: read from Diskette in Mode 1
c594: 01 priority-control-register: enable channel 1
```

Laufwerk selektieren:

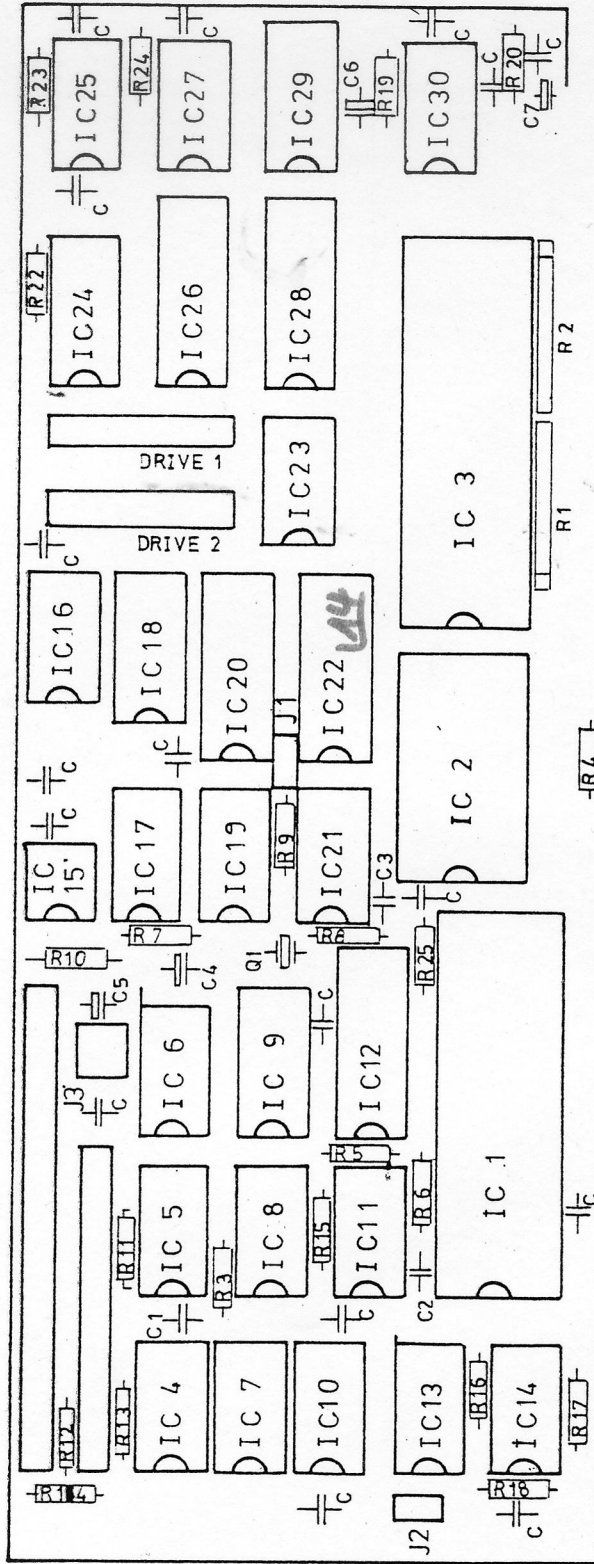
```
c5b0: c0 select-register: industrie-bus, motor on, drive 0
 double-density, side 0, 8"-Drive
 PLL auf 5 1/4".
```

Floppy-Controller-Baustein initialisieren:

```
c5a0: 0 reset
c5a1: 0 momentaner track
c5a2: 5 Sektor 5
c5a3: 0 track 0 soll angefahren werden
c5a0: 18 seek-kommando: gewünschten track anfahren
c5a0: 82 write kommando
```

Mit dem letzten Befehl wird der gewünschte Sektor von der Diskette auf die angegebene Stelle im Speicher geschrieben.





## Bauteilleiste AP14

---

|       |   |                |       |   |           |
|-------|---|----------------|-------|---|-----------|
| IC 1  | = | 1793 FDC       | IC 16 | = | 74 LS 74  |
| IC 2  | = | 2732 EPROM     | IC 17 | = | 74 LS 07  |
| IC 3  | = | 68B44 DMA      | IC 18 | = | 74 LS 138 |
| IC 4  | = | 74 LS 86       | IC 19 | = | 74 06     |
| IC 5  | = | 74 06          | IC 20 | = | 74 LS 273 |
| IC 6  | = | 74 LS 07       | IC 21 | = | 74 LS 04  |
| IC 7  | = | 74 LS 08       | IC 22 | = | PAL (14)  |
| IC 8  | = | 74 LS 32       | IC 23 | = | 74 LS 32  |
| IC 9  | = | 74 LS 76       | IC 24 | = | 74 LS 174 |
| IC 10 | = | 74 LS 04       | IC 25 | = | 74 LS 132 |
| IC 11 | = | 74 LS 02       | IC 26 | = | PROM      |
| IC 12 | = | SMC 9229 (PLL) | IC 27 | = | 74 LS 05  |
| IC 13 | = | 74 LS 14       | IC 28 | = | 74 LS 323 |
| IC 14 | = | 74 LS 125      | IC 29 | = | 74 LS 259 |
| IC 15 | = | NE 555         | IC 30 | = | NE 556    |

### Widerstände

---

|                                   |               |
|-----------------------------------|---------------|
| R1 = Widerstandsarray 4k7 / 9 Pin | R13 = 150 Ohm |
| R2 = Widerstandsarray 4k7 / 9 Pin | R14 = 150 Ohm |
| R3 = 220 Ohm                      | R15 = 150 Ohm |
| R4 = 4k7                          | R16 = 150 Ohm |
| R5 = 2k7                          | R17 = 4k7     |
| R6 = 270 Ohm                      | R18 = 1 KOhm  |
| R7 = 100 KOhm                     | R19 = 47 KOhm |
| R8 = 1 KOhm                       | R20 = 1 MOhm  |
| R9 = 1 KOhm                       | R22 = 1 KOhm  |
| R10 = 120 KOhm                    | R23 = 3k3     |
| R11 = 150 Ohm                     | R24 = 3k3     |
| R12 = 150 Ohm                     | R25 = 10 KOhm |

### Kondensatoren

---

|             |
|-------------|
| C1 = 100 pF |
| C2 = 680 pF |
| C3 = 53 pF  |
| C4 = 10 uF  |
| C5 = 10 uF  |
| C6 = 47 uF  |
| C7 = 10 uF  |

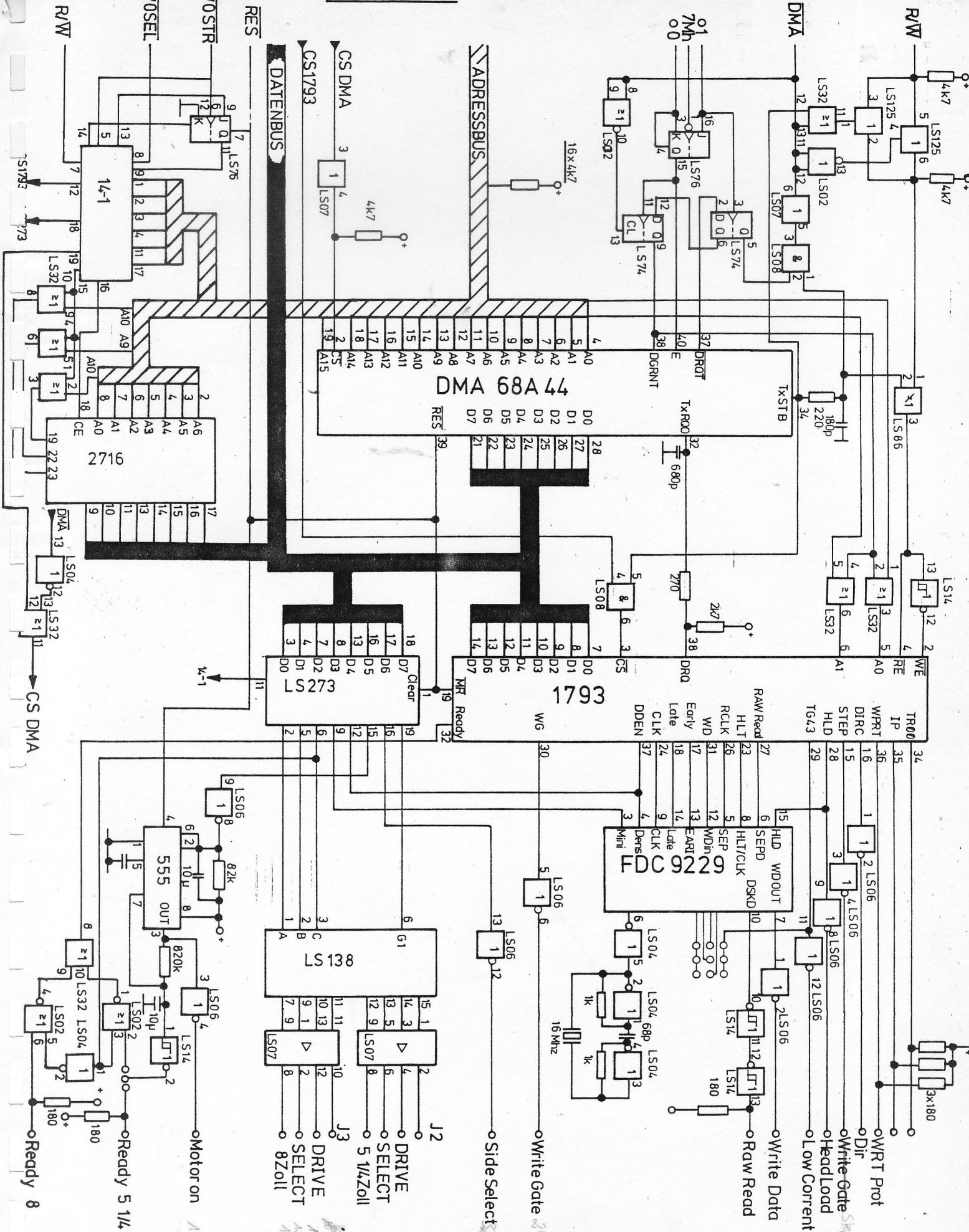
Alle anderen Kondensatoren 100 nF Keramik.

1 Doppel-Reihe Pfostenstecker 34-polig.  
1 Doppel-Reihe Pfostenstecker 50-polig.  
2 Doppel-Reihen Pfostenstecker 20-polig.

5 Pfostenstecker 3-polig

5 Jumper

1 Quarz 16 MHz

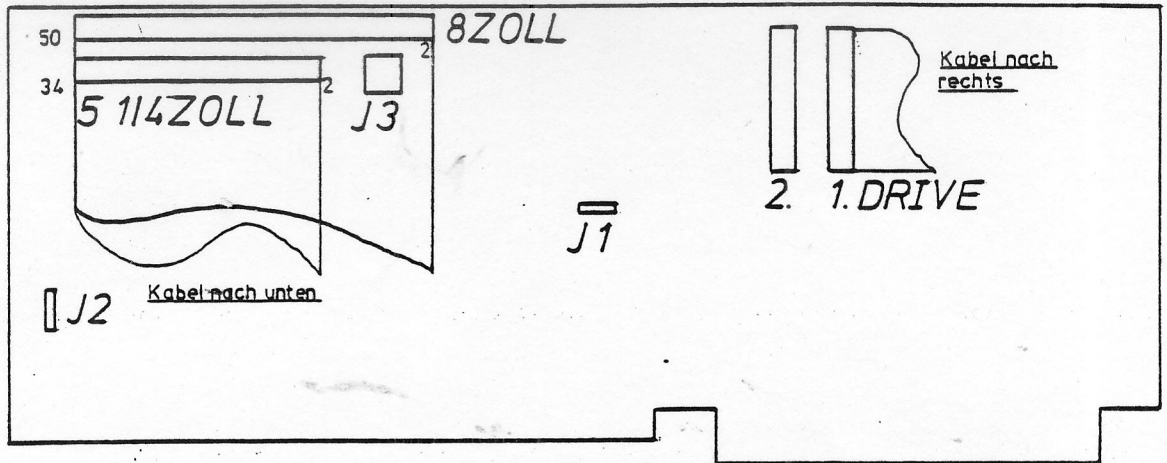


AP14 Schaltplan

© by IBS Computer

26  
25  
24  
23  
22  
21  
20  
19  
18  
17  
16  
15  
14  
13  
12  
11  
10  
9  
8  
7  
6  
5  
4  
3  
2  
1





### Precompensation

The desired precompensation delay is determined by the state of the P0, P1 and P2 inputs of the FDC 9229/B as per fig. 2. Logic levels present on these pins may be changed dynamically as long as the inputs are stable during the time the floppy disk controller is writing to the drive and the inputs meet the minimum setup time with respect to the write data from the floppy disk controller.

| MINI | P2 | P1 | P0 | PRECOMP VALUE |
|------|----|----|----|---------------|
| 0    | 0  | 0  | 0  | 0 ns          |
| 0    | 0  | 0  | 1  | 62.5 ns       |
| 0    | 0  | 1  | 0  | 125 ns        |
| 0    | 0  | 1  | 1  | 187.5 ns      |
| 0    | 1  | 0  | 0  | 250 ns        |
| 0    | 1  | 0  | 1  | 250 ns        |
| 0    | 1  | 1  | 0  | 312.5 ns      |
| 0    | 1  | 1  | 1  | 312.5 ns      |

| MINI | P2 | P1 | P0 | PRECOMP VALUE |
|------|----|----|----|---------------|
| 1    | 0  | 0  | 0  | 0 ns          |
| 1    | 0  | 0  | 1  | 125 ns        |
| 1    | 0  | 1  | 0  | 250 ns        |
| 1    | 0  | 1  | 1  | 375 ns        |
| 1    | 1  | 0  | 0  | 500 ns        |
| 1    | 1  | 0  | 1  | 500 ns        |
| 1    | 1  | 1  | 0  | 625 ns        |
| 1    | 1  | 1  | 1  | 625 ns        |

NOTE: All values shown are obtained with a 16 MHz reference clock. Multiply pre-comp values by two for 8 MHz operation.

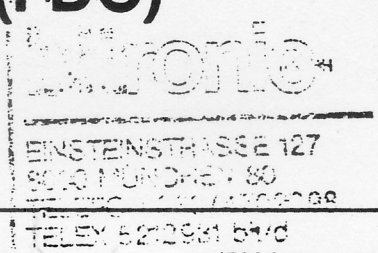
FIG. 2 WRITE PRECOMPENSATION VALUE SELECTION



# Floppy Disk Controller (FDC)

# SY1791-02/SY1793-02

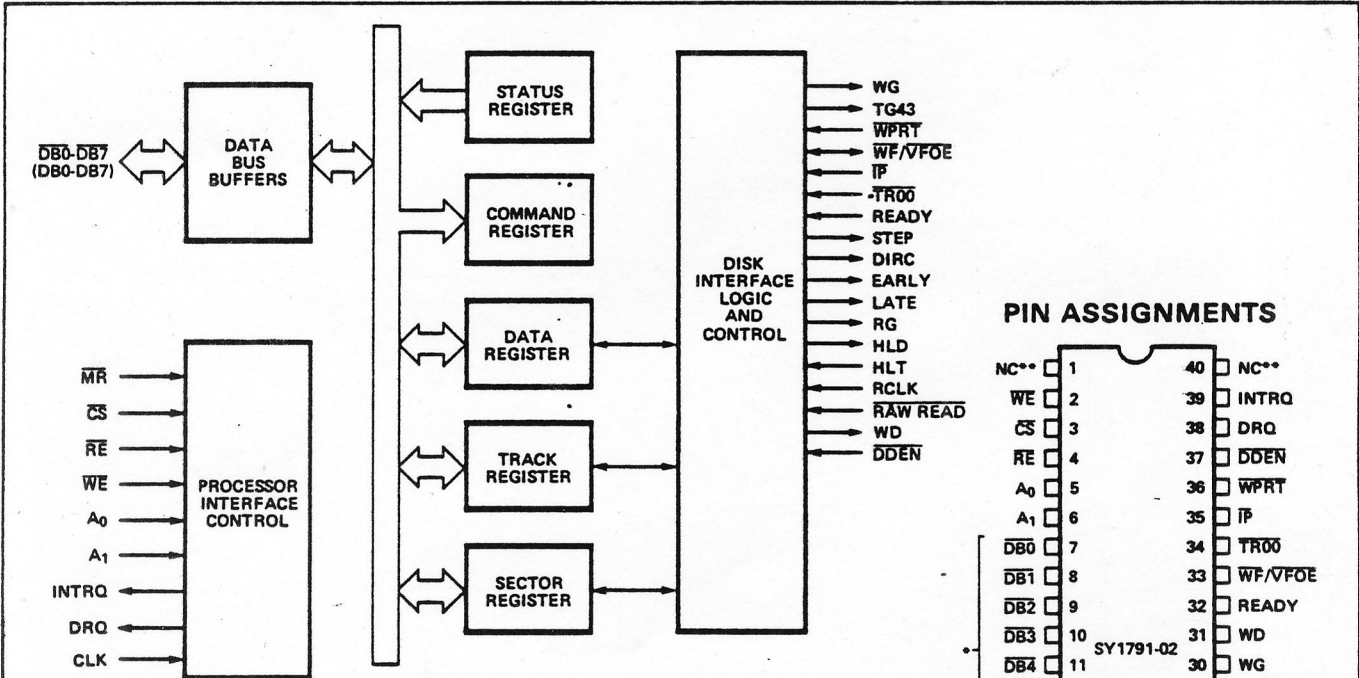
## MICROPROCESSOR PRODUCTS



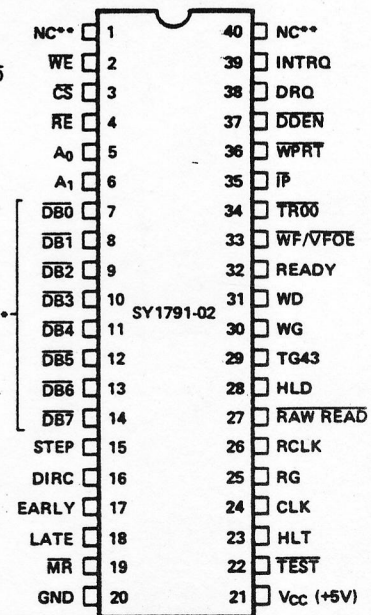
PRELIMINARY  
SEPTEMBER 1980

- Pin and function compatible with Western-Digital FD1791-02 and FD1793-02
- Single 5-volt power supply
- Accommodates both Single Density (FM) and Double Density (MFM) formats
- IBM format compatibility:
  - IBM 3740 Single-Density
  - IBM System-34 Double-Density
- Numerous automatic control functions

The SY1791-02/SY1793-02 Floppy Disk Controller is a fully programmable device intended for microprocessor based systems. Autonomous operation permits complete control of floppy disk functions with minimum CPU intervention required. Programmability is provided to allow either single-density (FM) or double-density (MFM) formats compatible with IBM standards, or formats uniquely defined by the user. The SY1791-02 uses negative-true data bus logic; the SY1793-02 uses positive-true.



### PIN ASSIGNMENTS



( ) DENOTES SY1793-02 SIGNALS

Figure 1. SY1791-02/SY1793-02 Block Diagram

### ORDERING INFORMATION

| PART NUMBER | PACKAGE | DATA BUS LOGIC |
|-------------|---------|----------------|
| SY1791-02   | CERAMIC | NEGATIVE-TRUE  |
| SYP1791-02  | PLASTIC | NEGATIVE-TRUE  |
| SY1793-02   | CERAMIC | POSITIVE-TRUE  |
| SYP1793-02  | PLASTIC | POSITIVE-TRUE  |

\*1793-02 HAS POSITIVE-TRUE DATA BUS LOGIC.  
\*\*NC PINS ARE INTERNALLY OPEN CIRCUITED. VOLTAGES APPLIED TO THESE PINS HAVE NO AFFECT.



## DETAILED LIST OF FEATURES

- Replaces Western-Digital FD1791-02 and FD1793-02
- Single 5-volt power supply
- 40-pin DIP package
- Automatic track seek with verification
- Accommodates single-density (FM) and double-density (MFM) formats
- Soft-sector format compatibility
- IBM 3740 (single-density) and System 34 (double-density) compatible
- Single or multiple record read with automatic sector search or entire track read
- Selectable record length (128, 256, 512, 1024 bytes)
- Single or multiple record write with automatic sector search
- Entire track write for initialization
- Programmable Controls
  - Selectable track-to-track stepping time
  - Selectable head settling and engage times
  - Head position verification
  - Side verification
- Double-buffered read and write data flow
- DMA or programmed data transfers
- TTL-compatible inputs and outputs
- Write precompensation (FM and MFM)
- Comprehensive Status Register

## 1.0 GENERAL DESCRIPTION

### 1.1 Functional Blocks in the SY1791-02/SY1793-02

The SY1791-02/SY1793-02 Floppy Disk Controller (FDC) consists of several functional sections, as shown in Figure 1. Detailed operation of each section is described below.

- **DATA REGISTER (DR)** — This 8-bit read/write register is used as a holding register during Disk Read and Write operations. During Disk Read operations, serial data is assembled in the Data Shift Register then transferred in parallel to the DR, where it is made available to the data bus. In a Disk Write operation, parallel data is transferred from the data bus to the DR to await transfer to the Data Shift Register. The DR is also used, while executing a Seek command, to hold the Track address.
- **TRACK REGISTER (TR)** — This 8-bit read/write register holds the track number of the current Read/Write head position. It can be incremented (decremented) by one each time the head is stepped in (out), toward track 76 (00). The TR's contents are compared with the track number (recorded in the disk's ID field) during Read, Write, or Verify operations. This register should not be loaded when the device is busy.
- **SECTOR REGISTER (SR)** — This 8-bit read/write register holds the address of the desired sector position. The contents of the register are compared with the recorded sector number in the ID field during disk Read or Write operations. This register should not be loaded when the device is busy.
- **COMMAND REGISTER (CR)** — This 8-bit write only register holds the command which is being executed. This register should not be loaded when the device is busy unless the execution of the current command is to be overridden. This is accomplished with the Interrupt command.
- **STATUS REGISTER (STR)** — This 8-bit read only register holds device status information. The meaning of the STR bits is a function of the contents of the Command Register.
- **DATA SHIFT REGISTER (DSR)** — As part of the Disk Interface Logic and Control, this 8-bit register assembles serial data from RAW READ input during READ operations, prior to transfer to the DR. During WRITE operations it accepts parallel data from the DR and serially transfers it to the Write Data output.
- **CRC LOGIC** — This logic, part of Disk Interface Logic and Control, does the checking or the generating of the 16-bit Cyclic Redundancy Check (CRC). The polynomial is:  $G(X) = X^{16} + X^{12} + X^5 + 1$ . The CRC checks all information, starting with the address mark, up to the CRC characters. The CRC register is preset to ones before data is shifted through the circuit.
- **ARITHMETIC/LOGIC UNIT (ALU)** — A part of Disk Interface Logic and Control, the ALU does serial comparisons, increments, and decrements. It is used for register modification and comparisons with the ID field recorded on the disk.
- **TIMING AND CONTROL** — All Processor and Floppy Disk interface controls are generated through this logic. The internal device timing is generated from an external clock.
- **AM DETECTOR** — The Address Mark Detector, part of Disk Interface Logic and Control, detects ID, Data and Index Address Marks during read and write operations.

### 1.2 MPU Interface Pin Functions

- **MASTER RESET ( $\overline{MR}$ )** — A low on this input resets the device and loads hex 03 into the command register. The Not Ready status bit (status bit 7) is reset during  $\overline{MR}$  low. When  $\overline{MR}$  is driven high, a Restore command is executed regardless of the state of the Ready signal, and hex 01 is loaded into the Sector Register.
- **CHIP SELECT ( $\overline{CS}$ )** — A low level on this input selects the FDC and enables processor communications with the FDC.
- **DATA BUS LINES ( $\overline{DB0-DB7}$  on SY1791-02 and DB0-DB7 on SY1793-02)** — Bi-directional data bus used for transfer of data between the system MPU and the FDC (negative-true for the SY1791-02, positive-true for the SY1793-02).



- REGISTER ADDRESS LINES (A0-A1) — These inputs address the internal registers for access by the Data Bus lines under  $\overline{RE}$  and  $\overline{WE}$  control.

### REGISTER ADDRESS CODES

| A1 | A0 | READ   | WRITE   |
|----|----|--------|---------|
| 0  | 0  | STATUS | COMMAND |
| 0  | 1  | TRACK  |         |
| 1  | 0  | SECTOR |         |
| 1  | 1  | DATA   |         |

- READ ENABLE ( $\overline{RE}$ ) — If  $\overline{CS}$  is low, a low on this input enables the addressed internal register to output data onto the data bus.
- WRITE ENABLE ( $\overline{WE}$ ) — If  $\overline{CS}$  is low, then a low on this input gates data from the data bus into the addressed register.
- INTERRUPT REQUEST (INTRQ) — This open drain output is set high at the completion or termination of any operation and is reset when a new command is loaded into the Command Register or when the Status Register is read. Use 10K $\Omega$  pull-up resistor to Vcc.
- DATA REQUEST (DRQ) — DRQ is an open drain output. DRQ high during read operations indicates that the Data Register (DR) contains data. When high during write operations, DRQ indicates that the DR is empty and ready to be loaded. DRQ is reset by reading or loading the DR during read or write operations, respectively. Use 10K pull-up resistor to Vcc.
- CLOCK (CLK) — This input requires a square wave clock for internal timing reference (2 MHz for 8-inch drives, 1 MHz for 5-inch drives).

### 1.3 Floppy Disk Interface Pin Functions

- READ GATE (RG) — A high on this output indicates that a field of zeroes (zeroes or ones) has been detected in FM (MFM) encoded information. This can be used to indicate to a data separator that a sync field has been found.
- WRITE DATA (WD) — This output to the disk drive electronics supplies one pulse per flux transition.
- READ CLOCK (RCLK) — The RCLK input is a nominal square-wave clock signal derived from the data stream. Phasing (RCLK relative to  $\overline{RAW\ READ}$ ) is important, but polarity (RCLK high or low) is not.
- RAW READ ( $\overline{RAW\ READ}$ ) — This is the data input to the FDC from the drive. This input must be a negative pulse for each recorded flux transition.
- HEAD LOAD (HLD) — The HLD output notifies the drive to engage the Read/Write head against the medium.
- HEAD LOAD TIMING (HLT) — The HLT input, which is generated by external logic, indicates that a sufficient time has elapsed for the head to have engaged.
- STEP — The step output provides a pulse to the disk drive electronics to cause each incremental head motion.
- DIRECTION (DIRC) — The DIRC output is high for stepping the head in towards track 76, and low for stepping the head out towards track 0.

- EARLY — A high EARLY output indicates to external circuitry that the WD pulse should be shifted early for write precompensation.
- LATE — A high LATE output indicates to external circuitry that the WD pulse should be shifted late for write precompensation.
- TRACK GREATER THAN 43 (TG43) — This output informs the drive that the Read/Write head is positioned between tracks 44-255 inclusive. This output is valid during Read and Write commands.
- WRITE GATE (WG) — The WG output is set high when writing to the disk if all the Write prerequisites have been met. WG is used to enable the drive's write circuitry.
- READY — This input indicates disk readiness to perform any Read or Write command. READY must be high for a Read or Write command to be accepted. If READY is low and the FDC receives any such command, the command is not executed and an interrupt is generated if the Not-Ready status bit is set.
- WRITE FAULT ( $\overline{WF}$ )/VFO ENABLE ( $\overline{VFOE}$ ) — This pin is used as both an input and output. During Write operations after WG is high, this pin acts as an input to sense a negative transition indicating a Write Fault. If a Write Fault is detected, the Write command is terminated, the Write Fault status bit is set, and INTRQ goes high.

During Read operations,  $\overline{WE}/\overline{VFOE}$  is an output used to synchronously control external RCLK circuitry.  $\overline{VFOE}$  will go true (low) when the following are all true:

1. HLD and HLT are true;
2. settling time, if programmed, has expired;
3. the SY1791-02/SY1793-02 is inspecting data from the disk.

- TRACK 00 ( $\overline{TR00}$ ) — This input, when low, indicates to the FDC that the Read/Write head is positioned over track 0.
- INDEX PULSE ( $\overline{IP}$ ) — This input is generated by the drive electronics to indicate the start of a track.
- WRITE PROTECT ( $\overline{WPRT}$ ) — This input is sampled whenever a Write command is received. A low terminates the command and sets the Write Protect status bit.
- DOUBLE DENSITY ( $\overline{DDEN}$ ) — This input selects either single or double density operation. When  $\overline{DDEN}$  is low, double density is selected. When  $\overline{DDEN}$  is high, single density is selected.
- TEST ( $\overline{TEST}$ ) — This input is used for testing purposes and should be tied to +5V, or left open, by the user unless interfacing to voice coil motors. When low, the motor stepping rate is increased (see Figure 3b).

## 2.0 FUNCTIONAL OPERATION

### 2.1 Single/Double Density Selection

The SY1791-02/SY1793-02 has two selectable data densities, determined by input  $\overline{DDEN}$ .

### 2.2 Clock Selection

In addition to  $\overline{DDEN}$ , the CLK input determines overall circuit timings, and must be properly selected. A 1MHz CLK input is normally used for 5" mini-diskette drives and 2MHz for standard 8" drives.



### 2.3 DRQ Operation

The DRQ output indicates that a data transfer operation is required. For disk read operations, DRQ signifies that the Data Register needs to be read so that the next data byte can be received. For disk write operations, DRQ signifies that a data byte has been transmitted and another must be entered. DRQ may be used as a "handshake" control signal in a DMA based system.

### 2.4 DMA Sequences

In disk read operations, DRQ goes high when a serial data byte is assembled in the Data Register. DRQ is reset when the byte is read by the DMA controller (or system processor). If a newly assembled byte is transferred into the DR (from the DSR) before the DR has been read, then the overwritten byte in the DR is lost. Furthermore, the Lost Data status bit in the Status Register is set, to indicate this condition. Read operations continue until the end of sector is encountered.

Disk write operations are similar. DRQ is activated when the data byte is transferred from the Data Register to the Data Shift Register, indicating that the DR is ready to be loaded with another byte. It is cleared when the new byte is loaded by the DMA controller (or system processor). However, if the new byte is not loaded by the time the prior byte is shifted out, then a byte of all zeroes is written on the diskette and the Lost Data status bit in the Status Register is set.

### 2.5 Disk Read Operations

For disk read operations, the FDC requires RAW READ and RCLK inputs. RAW READ is a low going pulse for each flux transition. The FDC detects the rising and falling edges of RCLK and uses these edges to frame RAW READ data/clock inputs. RCLK is provided by some drives, but if not it must be provided externally (phase-lock-loops, one-shots, counters, etc.) To assist in generating RCLK, the FDC has a RG (Read Gate) output, which may be used to acquire synchronization. Whenever two bytes of zeroes are detected in read operations (in single-density mode), RG is activated (high) and the FDC must find a valid AM (Address Mark) within the next 10 bytes. If the AM is not found, RG is deactivated (low) and the search for two bytes of zeroes is re-started. If the AM is found, RG remains active as long as the FDC is deriving data from the diskette. For double-density mode, RG is activated when 4 bytes of hex 00 or hex FF are detected and the FDC must find the AM within 16 bytes.

### 2.6 Disk Write Operations

The fundamental signals in write operations are: WD (Write Data) output, WG (Write Gate) output,  $\overline{WPRT}$  (Write Protect) input, and  $\overline{WF}$  (Write Fault) input. When writing to the diskette, WG goes high enabling the disk drive write electronics. However, WG will not be activated until the first data byte has been loaded in the Data Register. This ensures that false writing will not occur. Writing is inhibited when  $\overline{WPRT}$  is low. This sets the Write Protect status bit and an interrupt (INTRQ) is generated.

The  $\overline{WF}$  input signifies a fault condition at the disk drive. When low, it causes the current command to terminate, sets the Write Fault bit in the Status Register, and generates the INTRQ interrupt.

### 2.7 Write Precompensation

EARLY and LATE are two additional signals which are generated by the SY1791-02/SY1793-02 during write operations. They are used for write precompensation functions. Both signals are active-high. The EARLY signal is active when the WD pulse is to be written early; the LATE signal is active when WD is to be written late. If neither signal is active, then WD is to be written at its normal time. EARLY and LATE are valid for both signal and double density modes.

### 3.0 COMMAND WORDS

The FDC accepts eleven commands. Command words should be loaded in the Command Register only when the Busy status bit (status bit 0) is low. The sole exception is the Force Interrupt command. Whenever a command is being executed, the Busy status bit is set. When a command is completed, an interrupt is generated and the Busy status bit is reset. The Status Register indicates whether the completed command encountered an error or was fault free. For ease of discussion, commands are divided into four types. Commands and types are summarized in Figure 2.

| TYPE | COMMAND         | BIT |   |   |   |                |                |                |                |
|------|-----------------|-----|---|---|---|----------------|----------------|----------------|----------------|
|      |                 | 7   | 6 | 5 | 4 | 3              | 2              | 1              | 0              |
| I    | RESTORE         | 0   | 0 | 0 | 0 | h              | V              | r <sub>1</sub> | r <sub>0</sub> |
|      | SEEK            | 0   | 0 | 0 | 1 | h              | V              | r <sub>1</sub> | r <sub>0</sub> |
|      | STEP            | 0   | 0 | 1 | u | h              | V              | r <sub>1</sub> | r <sub>0</sub> |
|      | STEP IN         | 0   | 1 | 0 | u | h              | V              | r <sub>1</sub> | r <sub>0</sub> |
|      | STEP OUT        | 0   | 1 | 1 | u | h              | V              | r <sub>1</sub> | r <sub>0</sub> |
| II   | READ SECTOR     | 1   | 0 | 0 | m | S              | E              | C              | 0              |
|      | WRITE SECTOR    | 1   | 0 | 1 | m | S              | E              | C              | a <sub>0</sub> |
| III  | READ ADDRESS    | 1   | 1 | 0 | 0 | 0              | E              | 0              | 0              |
|      | READ TRACK      | 1   | 1 | 1 | 0 | 0              | E              | 0              | 0              |
|      | WRITE TRACK     | 1   | 1 | 1 | 1 | 0              | E              | 0              | 0              |
| IV   | FORCE INTERRUPT | 1   | 1 | 0 | 1 | l <sub>3</sub> | l <sub>2</sub> | l <sub>1</sub> | l <sub>0</sub> |

1 = HIGH LEVEL      0 = LOW LEVEL

Figure 2. Command Summary

### 3.1 Type I Commands

The Type I commands are Restore, Seek, Step, Step-In, and Step-Out.

- **RESTORE**— The RESTORE command is used to position the Read/Write head to track 0 of the diskette. Upon the receipt of this command, the  $\overline{TR00}$  input is sampled. If  $\overline{TR00}$  is low, indicating the Read/Write head is positioned over track 0, the Track Register is loaded with zeroes and an interrupt is generated. If  $\overline{TR00}$  is not low, step pulses at a rate specified by the r<sub>1</sub>r<sub>0</sub> field are issued until the  $\overline{TR00}$  input is asserted. At this time, the TR is loaded with zeroes and an interrupt is generated. If the  $\overline{TR00}$  input does not go low after 255 stepping pulses, the FDC terminates operation, interrupts and sets the Seek Error status bit. A verification operation takes place if the V bit is set. The h bit allows the head to be loaded at the start of the command. Note that the Restore command is executed when  $\overline{MR}$  goes from low (true) to high (false).



- **SEEK** — This command assumes that the Track Register contains the track number of the current position of the Read/Write head and the Data Register contains the desired track number. The FDC will update the Track Register and issue stepping pulses until the contents of the Track Register are equal to the contents of the Data Register (the desired track location). A verification operation takes place if the V bit is on. The h bit allows the head to be loaded at the start of the command. An interrupt is generated at the completion of the command.
- **STEP** — Upon receipt of this command, the FDC issues one stepping pulse to the disk drive. The stepping motor direction is the same as in the previous step command. After a delay determined by the  $r_1r_0$  field, a verification takes place if the V bit is on. If the u bit is on, the TR is updated. The h bit allows the head to be loaded at the start of the command. An interrupt is generated at the completion of the command.
- **STEP-IN** — Upon receipt of this command, the FDC sets DIRC high and issues one stepping pulse. If the u bit is on, the Track Register is incremented. After a delay determined by the  $r_1r_0$  field, a verification takes place if the V bit is on. The h bit allows the head to be loaded at the start of the command. An interrupt is generated at the completion of the command.
- **STEP-OUT** — This command is identical to the Step-In command, except that DIRC is set low and the Track Register is decremented for each step pulse if the u bit is high.

3.1.1 Type I Command Option Bits

The operation of the option determining bits for Type I commands is summarized in Figures 3a and 3b.

The detailed descriptions of the Type I option bits follow.

- $r_1r_0$  (Step Rate) — These bits select the stepping rate as the Read/Write head travels over the diskette medium. Note that the stepping rates are independent of  $\overline{DDEN}$  select. Both single and double-density modes step at the same rate.
- V (VERIFY) — This bit is used to select track verification at the end of the stepping sequence. During verification, the head is loaded and after an internal 15ms delay ( $\overline{TEST} = 1$ ), the HLT input is sampled. When HLT is true, the first encountered ID field is read from the disk. The track address of the ID field is then compared to the Track Register. If there is a match and a valid ID CRC, the verification is complete, an interrupt is generated and the Busy status bit is reset. If there is not a match, but there is a valid ID CRC, an interrupt is generated, the Seek Error status bit (status bit 4) is set, and the Busy status bit is reset. If there is a match but not a valid CRC, the CRC Error status bit (status bit 3) is set, and the next encountered ID field is read from the disk for the verification operation. If an ID field with a valid CRC cannot be found after four revolutions of the disk, the FDC terminates the operation and generates an interrupt.
- h (Head Load) — This bit determines if the head is to be loaded at the beginning of the command. If so, the HLD output goes high (active) and remains in this state until

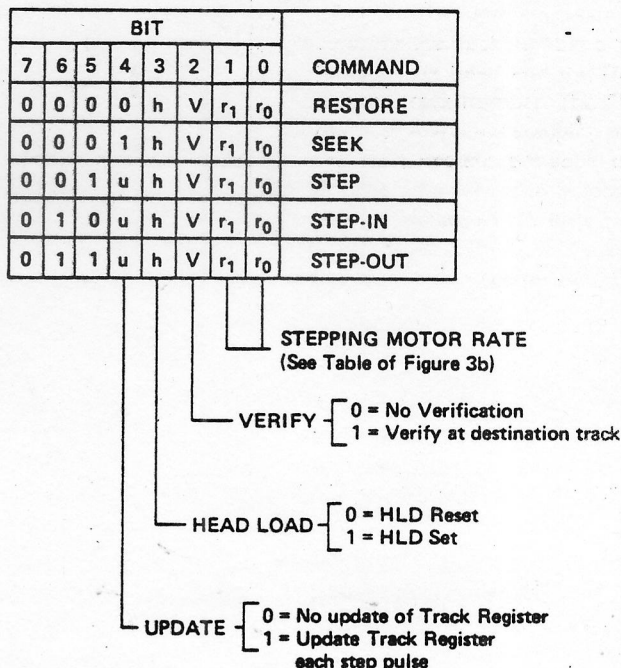


Figure 3a. Type I Command Option Bit

| $\overline{TEST}$ | $r_1$ | $r_0$ | STEPPING RATE |              |
|-------------------|-------|-------|---------------|--------------|
|                   |       |       | CLK = 1MHz    | CLK = 2MHz   |
| H                 | 0     | 0     | 6 ms          | 3 ms         |
| H                 | 0     | 1     | 12 ms         | 6 ms         |
| H                 | 1     | 0     | 20 ms         | 10 ms        |
| H                 | 1     | 1     | 30 ms         | 15 ms        |
| L                 | —     | —     | ~400 $\mu$ s  | ~200 $\mu$ s |

Figure 3b. Stepping Motor Rates

the FDC receives a command to disengage the head. If the FDC is idle (not Busy) for 15 disk revolutions, then the head is automatically disengaged (HLD goes low). If track verification is selected ( $V = "1"$ ), then the head loading is affected, as follows:

- $h = 0, V = 1$   
HLD is activated near the end of the sequence, an internal 15msec delay occurs, and the FDC waits for the HLT input to go active (high) before verifying track identification.
- $h = 1, V = 1$   
HLD is activated at the start of the sequence. At the end, an internal 15 msec delay occurs and the FDC waits for HLT to go active before verification.
- u (Update) — With Update selected ( $u = "1"$ ), the Track Register is updated at each step pulse. The update operation increments the Track Register for stepping toward track 76 and decrements it for stepping toward track 0.



**3.2.1 Type I Command Signals**

Type I commands control the operation of the STEP and DIRC (Direction) output signals of the FDC.

- STEP — A 2  $\mu$ s (MFM) or 4  $\mu$ s (FM) positive-true output pulse is generated at a rate determined by the  $r_{1r0}$  field of the command (see Figure 3b). Each step pulse moves the Read/Write head one track location in a direction controlled by the DIRC output.
- DIRC — The DIRC output determines the direction of the track stepping. A high level indicates step direction IN towards track 76, a low level indicating direction OUT towards track 0.

In addition, the Type I commands use the following signals:

- HLD (Head Load) — This output is used to control movement of the Read/Write head against the recording medium. HLD is set at the beginning of a Type I command if  $h = "1"$ , near the end of a Type I command if  $V = "1"$  and  $h = "0"$ , or immediately when a Type II or Type III command is loaded. Once HLD is set it remains high until a subsequent Type I command with  $h = "0"$  and  $V = "0"$  is loaded, or until the FDC goes into its non-busy state for 15 index pulses.
- HLT (Head Load Timing) — The low to high transition of this input indicates that a sufficient time has elapsed for the drive's head to become engaged. It typically follows HLD going high, by a time delay which is dependent on the particular drive's characteristics. If not available from the drive electronics, this input must be generated by the user (typically by means of one-shot timers). Figure 4 illustrates an example of HLD and HLT timing.

The logical AND of HLD and HLT is status bit 5 for Type I commands, and it controls the operation of the disk read and write functions.

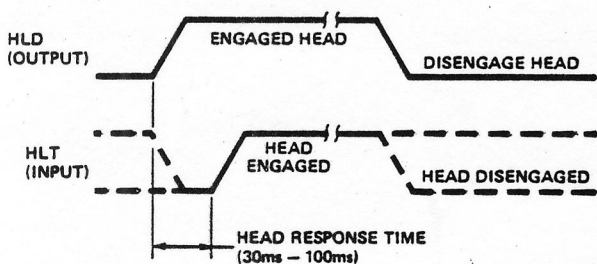


Figure 4. HLD/HLT Timing Example

**3.2 Type II Commands**

The Type II commands, Read Sector and Write Sector, permit actual data to be read from or written onto the diskette. Before the command is entered, it is necessary for the processor to have loaded the Sector Register with the number of the desired sector. Figure 5 is useful for understanding the operation of Type II commands.

**3.2.1 Type II Command Basic Operation Sequence**

The basic operation of Type II commands is outlined as the following sequence:

- The ID field is located by the detection of the ID AM (ID Address Mark).
- The Track Number in the ID field is compared to the contents of the Track Register. If it does not match, then the ID AM search begins again.
- As a selectable option, the Side Number is checked for a match. If selected, a failure to match again causes the ID AM search to re-start.
- The Sector Number is compared to the contents of the Sector Register. If there is not a match, the ID AM search is again begun.
- The Sector Length field is entered into the FDC and stored internally for use in Read or Write operations. The value of the Sector Length byte is determined when the diskette is formatted (initialized) and must have one of the values in the table of Figure 6.
- The ID field CRC1 and CRC2 bytes are checked with internally generated CRC. If they match, then the command (Read or Write) is permitted; if not, the CRC Error status bit is set and the search for the ID AM is begun again.

If the Track Number, Side Number, Sector Number, and CRC all check properly within 4 disk revolutions (5 index pulses), then the command continues; otherwise the Record-Not-Found status bit is set and the command is terminated with an interrupt (INTRQ).

| SECTOR LENGTH FIELD (hex) | NUMBER OF BYTES IN SECTOR |
|---------------------------|---------------------------|
| 00                        | 128                       |
| 01                        | 256                       |
| 02                        | 512                       |
| 03                        | 1024                      |

Figure 6. Sector Length Field Codes

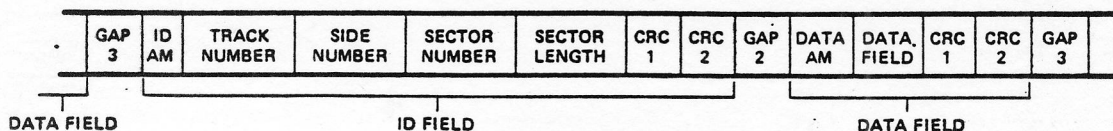


Figure 5. General Track Format

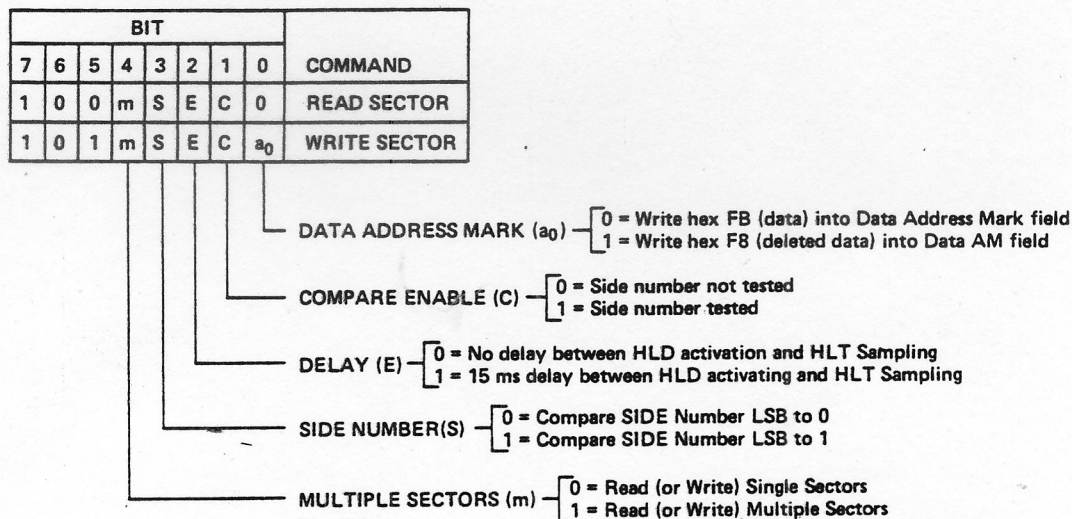


Figure 7. Type II Command Option Bits

### 3.2.2 Type II Command Option Bits

Several bits in the Type II command words are used to select various options. Figure 7 summarizes the special control bits which are outlined, as follows:

- a<sub>0</sub> (Data AM) — The a<sub>0</sub> bit is used to select which of two Data Address Mark bytes is to be stored in the Data AM field for Write Sector operations. A "1" in a<sub>0</sub> causes hex F8 to be stored, indicating that the data field is actually deleted data. A "0" in a<sub>0</sub> causes hex FB to be stored, indicating undeleted data.
- S (Side) — The S bit is compared with the LSB of the Side Number (in the ID field), if the side number compare option has been enabled by the C bit.
- C (Compare) — This bit enables the comparison of the Side Number (in the ID field) with the S bit of the Type II command.
- E (Delay) — The E bit causes a 15 msec delay to be inserted between the time the HLD (Head Load) output is activated and the time the HLT (Head Load Timing) input is strobed and checked.
- m (multiple Records) — This bit is used to select whether one sector (m = "0") or more than one sector (m = "1") is to be read or written. For single sector operation, the interrupt is generated and the command is terminated immediately after the sector operation is complete. Multiple sector operation, however, is somewhat different. After the first sector operation is complete, the FDC Sector Register is incremented and the sequence is re-started. In this way, the next sequential sector number is read or written. Likewise, after it is complete, the Sector Register is again updated and the sequence re-started. This continues until the Sector Register has incremented to a number higher than any sector on the current track. At this point, the sequence terminates.

### 3.2.3 Type II Command Operation

The specific operation of the Read Sector and Write Sector commands, once the ID field is properly encountered, is outlined below:

- READ SECTOR — When the correct Track Number, Side Number (if selected), Sector Number, and CRC have been identified, the Data Field check commences. The Data AM must be found within 30 bytes for single-density (or 43 bytes for double-density) from the time the last CRC byte for the ID field was encountered. If not, the Record-Not-Found bit in the Status Register is set and the command is terminated. After the Data AM is found, the data bytes are entered through the internal Data Shift Register and transferred to the Data Register. Each byte transferred results in a DRQ. The Data Register must be unloaded (read) by the MPU or DMA controller before the next byte is fully received. If not, then the new byte is written over the previous byte in the Data Register, the previous byte is lost, and the Lost Data status bit is set. At the end of the Data Field, the CRC bytes are compared to the internal CRC generated by the FDC. If they do not match, the CRC Error status bit is set and the command is terminated, even if it is a multiple-record command (m = "1"). At the end of the sequence, the Data AM encountered in the Data Field determines bit 5 of the Status Register. If the Data AM was hex FB (undeleted), then bit 5 is set to "0"; hex F8 (deleted data) causes bit 5 to be set to "1".
- WRITE SECTOR — The Write Sector command operates in a fashion very similar to Read Sector. When the correct Track Number, Side Number (if selected), Sector Number, and CRC have been identified, a DRQ is generated, requesting the first data byte which is to be written on the diskette. The FDC then counts 11 bytes for single-density (or 22 bytes for double-density) to account for part of the gap between the ID



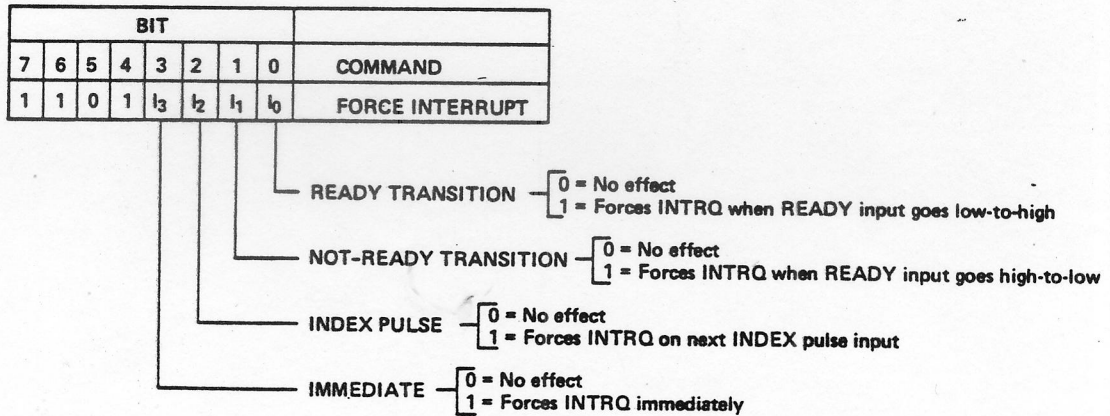


Figure 8. Force Interrupt Command Flags

| COMMAND      | STATUS BIT |               |             |               |           |           |       |      |
|--------------|------------|---------------|-------------|---------------|-----------|-----------|-------|------|
|              | 7          | 6             | 5           | 4             | 3         | 2         | 1     | 0    |
| ALL TYPE I   | Not Ready  | Write Protect | Head Loaded | Seek Error    | CRC Error | Track 0   | Index | Busy |
| READ SECTOR  | Not Ready  | 0             | Record Type | Rec not Found | CRC Error | Lost Data | DRQ   | Busy |
| WRITE SECTOR | Not Ready  | Write Protect | Write Fault | Rec not Found | CRC Error | Lost Data | DRQ   | Busy |
| READ ADDRESS | Not Ready  | 0             | 0           | Rec not Found | CRC Error | Lost Data | DRQ   | Busy |
| READ TRACK   | Not Ready  | 0             | 0           | 0             | 0         | Lost Data | DRQ   | Busy |
| WRITE TRACK  | Not Ready  | Write Protect | Write Fault | 0             | 0         | Lost Data | DRQ   | Busy |

Figure 9. Status Register Summary

when there is not another command in progress, the other status bits are cleared or updated and represent the Type I Command status. Figure 9 illustrates the meaning of the status bits for each command.

Detailed descriptions of each status bit function follow:

- NOT READY
  - 0 = Drive is Ready
  - 1 = Drive is Not Ready
- WRITE PROTECT
  - 0 =  $\overline{WPRT}$  input is high (unprotected)
  - 1 =  $\overline{WPRT}$  input is low (protected)
- HEAD LOADED
  - 0 = Head is not currently loaded
  - 1 = Head is loaded and engaged (both HLD and HLT are active)
- SEEK ERROR
  - 0 = Desired track was found. Updating clears this bit
  - 1 = Desired track was not found
- TRACK 0
  - 0 =  $\overline{TRO0}$  input is high
  - 1 =  $\overline{TRO0}$  input is low (Read/Write head is on Track 0)
- INDEX
  - 0 =  $\overline{IP}$  input is high (no index mark)
  - 1 =  $\overline{IP}$  input is low (index mark)
- BUSY
  - 0 = Not Busy
  - 1 = Busy (Command sequence in progress)
- RECORD TYPE
  - 0 = Non-deleted data mark
  - 1 = Deleted data mark
- WRITE FAULT
  - 0 = No write fault
  - 1 = Write fault has occurred
- RECORD NOT FOUND
  - 0 = Desired track and sector properly found. Updating clears this bit
  - 1 = Desired track and sector not found
- CRC ERROR
  - 0 = No CRC error. Updating clears this bit
  - 1 = CRC check error encountered
- LOST DATA
  - 0 = No data lost. Updating clears this bit
  - 1 = MPU did not respond to DRQ. Data was lost
- DATA REQUEST (DRQ)
  - 0 = DRQ not in progress. Updating clears this bit.
  - 1 = DRQ currently in progress



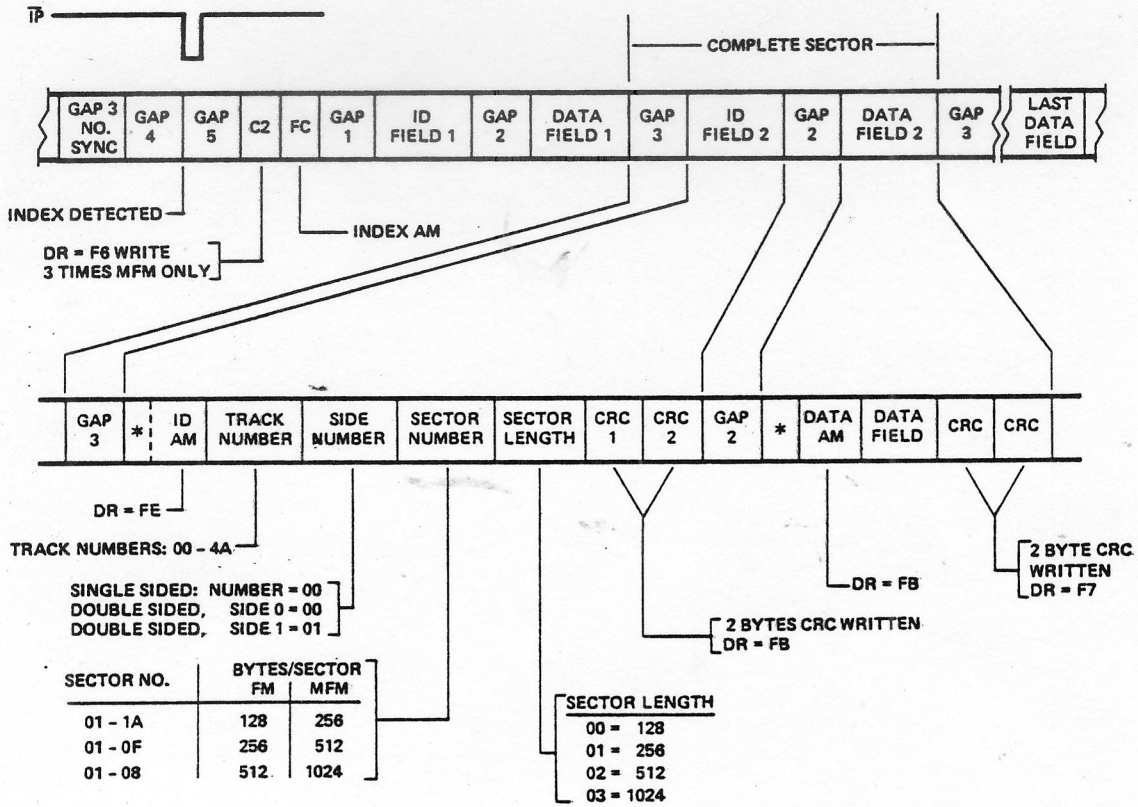


Figure 10. IBM Compatible Sector/Track Format

### 4.0 DISK FORMATTING

Disk formatting (initialization) is accomplished by the Write Track command. Each byte for the entire track must be provided for proper formatting. This includes gap as well as data bytes.

The sequence required to format a diskette begins with positioning the Read/Write head at the desired track. Once this has been done, it is necessary to perform a Write Track command to store all the information on a track. The Write Track command uses DRQ to request each byte from the system MPU, starting with the byte at the beginning of the physical Index Pulse and ending

with the last gap bytes at the end of the track. Figure 10 illustrates the IBM standard for track formatting.

Normally, each data byte stored on the diskette must be generated by the system MPU and passed into the FDC Data Register. However, there are exceptions to this rule. If a data byte of hex F5 through FE is entered into the Data Register, then the FDC recognizes this as Data AM with missing clocks or CRC generation code. Consequently, F5 through FE must not be used in gaps, data fields, or ID fields, as this will disrupt normal operation of the FDC during formatting.

**4.1 IBM 3740 Format**

This single-density (FM) format utilizes 128 bytes/sector. The bytes to be generated by the system MPU for use in the execution of the Write Track command are shown in Figure 11.

**4.2 IBM System 34 Format**

This double-density (MFM) format utilizes 256 bytes/sector. The bytes to be generated by the system MPU for use in the execution of the Write Track command are shown in Figure 12.

**4.3 Non-IBM Formats**

Unique (non-IBM) formats are permissible providing the following restrictions are understood.

- Sector length may only be 128, 256, 512, or 1024 bytes.
- Gap sizes must conform to Figure 13.

| DATA BYTE (hex) | NO. OF BYTES | COMMENTS                        |
|-----------------|--------------|---------------------------------|
| FF              | 40           | Gap 5 (Post Index)              |
| 00              | 6            |                                 |
| FC              | 1            | Index AM                        |
| FF              | 26           | Gap 1                           |
| 00              | 6            |                                 |
| FE              | 1            | ID AM                           |
| XX              | 1            | Track Number (00-4A)            |
| 0X              | 1            | Side Number (00 or 01)          |
| XX              | 1            | Sector Number (01-1A)           |
| 00              | 1            | Sector Length (128 bytes)       |
| F7              | 1            | Causes 2-Byte CRC to be Written |
| FF              | 11           | Gap 2 (ID Gap)                  |
| 00              | 6            |                                 |
| FB              | 1            | Data AM                         |
| E5              | 128          | Data Field                      |
| F7              | 1            | Causes 2-Byte CRC to be Written |
| FF              | 27           | Part of Gap 3 (Data Gap)        |
| FF              | 247          |                                 |

ONE SECTOR (1)

- NOTES: 1. THIS PATTERN MUST BE WRITTEN 26 TIMES PER TRACK.  
 2. CONTINUE WRITING HEX FF UNTIL FDC COMPLETES SEQUENCE AND GENERATES INTRQ INTERRUPT

Figure 11. Byte Sequence for IBM 3740 Formatting

| DATA BYTE (hex) | NO. OF BYTES | COMMENTS                        |
|-----------------|--------------|---------------------------------|
| 4E              | 80           | Gap 5 (Post Index)              |
| 00              | 12           |                                 |
| F6              | 3            | Writes C2                       |
| FC              | 1            | Index AM                        |
| 4E              | 50           | Gap 1                           |
| 00              | 12           |                                 |
| F5              | 3            | Writes ID AM Sync Bytes         |
| FE              | 1            | ID AM                           |
| XX              | 1            | Track Number (00-4C)            |
| 0X              | 1            | Side Number (00 or 01)          |
| XX              | 1            | Sector Number (01-1A)           |
| 01              | 1            | Sector Length (256 Bytes)       |
| F7              | 1            | Causes 2-Byte CRC to be Written |
| 4E              | 22           | Gap 2 (ID Gap)                  |
| 00              | 12           |                                 |
| F5              | 3            | Writes ID AM Sync Bytes         |
| FB              | 1            | Data AM                         |
| 40              | 256          | Data Field                      |
| F7              | 1            | Causes 2-Byte CRC to be Written |
| 4E              | 54           | Part of Gap 3 (Data Gap)        |
| 4E              | 598          |                                 |

ONE SECTOR (1)

- NOTES: 1. THIS PATTERN MUST BE WRITTEN 26 TIMES PER TRACK.  
 2. CONTINUE WRITING HEX 4E UNTIL FDC COMPLETES SEQUENCE AND GENERATES INTRQ INTERRUPT.

Figure 12. Byte Sequence for IBM System-34 Formatting

| GAP   | SINGLE DENSITY (FM) | DOUBLE DENSITY (MFM) | NOTE |
|-------|---------------------|----------------------|------|
| Gap 1 | 16 bytes FF         | 16 bytes 4E          | 2    |
| Gap 2 | 11 bytes FF         | 22 bytes 4F          | 1    |
|       | 6 bytes 00          | 12 bytes 00          |      |
|       |                     | 3 bytes A1           |      |
| Gap 3 | 10 bytes FF         | 16 bytes 4E          | 2    |
|       | 4 bytes 00          | 8 bytes 00           |      |
|       |                     | 3 bytes A1           |      |
| Gap 4 | 16 bytes FF         | 16 bytes 4E          | 2    |

- NOTES: 1. THESE BYTES COUNTS ARE EXACT.  
 2. THESE BYTES COUNTS ARE MINIMUM EXCEPT FOR 3 BYTES A1, WHICH IS EXACT.

Figure 13. Gap Size Limitations



## 5.0 ELECTRICAL SPECIFICATIONS

## ABSOLUTE MAXIMUM RATINGS

| Rating               | Symbol    | Allowable Range |
|----------------------|-----------|-----------------|
| Supply Voltage       | $V_{CC}$  | -0.3V to +7.0V  |
| Input/Output Voltage | $V_{IN}$  | -0.3V to +7.0V  |
| Operating Temp.      | $T_{OP}$  | 0°C to 70°C     |
| Storage Temp.        | $T_{STG}$ | -55°C to 150°C  |

All inputs contain protection circuitry to prevent damage to high static charges. Care should be exercised to prevent unnecessary application of voltages in excess of the allowable limits.

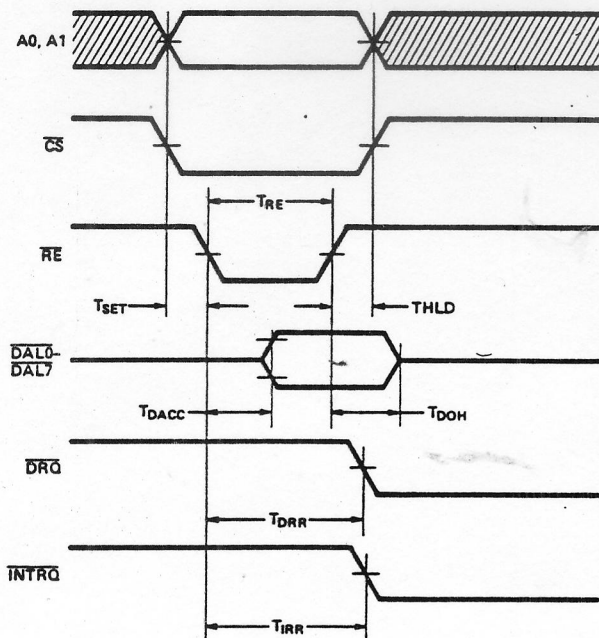
Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

ELECTRICAL CHARACTERISTICS ( $V_{CC} = 5V \pm 5\%$ ,  $T_A = 0 - 70^\circ C$ )

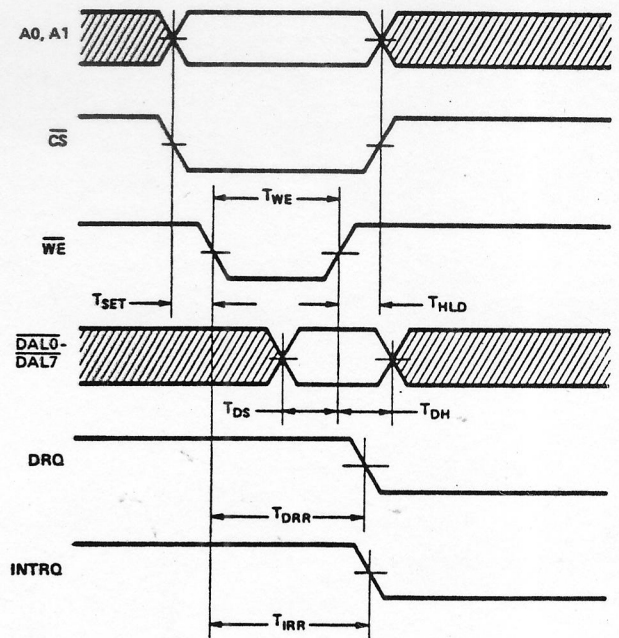
| CHARACTERISTIC                              | SYMBOL   | MIN | MAX  | UNIT    |
|---------------------------------------------|----------|-----|------|---------|
| Input High Voltage                          | $V_{IH}$ | 2.6 | -    | V       |
| Input Low Voltage                           | $V_{IL}$ | -   | 0.8  | V       |
| Input Leakage Current, $V_{IN} = V_{CC}$    | $I_{IL}$ | -   | 10   | $\mu A$ |
| Output High Voltage, $I_{LOAD} = 100 \mu A$ | $V_{OH}$ | 2.8 | -    | V       |
| Output Low Voltage, $I_{LOAD} = -1.6 mA$    | $V_{OL}$ | -   | 0.45 | V       |
| Output Leakage Current, $V_{OUT} = V_{CC}$  | $I_{OL}$ | -   | 10   | $\mu A$ |
| Supply Current                              | $I_{CC}$ | -   | 100  | mA      |
| Input Capacitance                           | $C_{IN}$ | -   | 15   | pF      |



## MPU READ CYCLE TIMING



## MPU WRITE CYCLE TIMING


 MPU READ CYCLE REQUIREMENTS ( $V_{CC} = 5V \pm 5\%$ ,  $T_A = 0 - 70^\circ C$ )

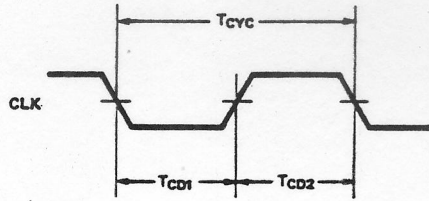
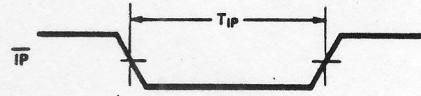
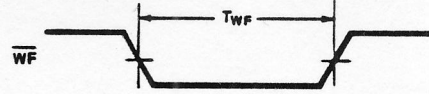
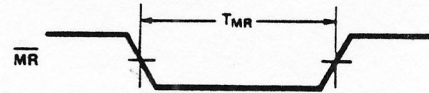
| CHARACTERISTIC                         | SYMBOL     | MIN | MAX  | UNIT | NOTE         |
|----------------------------------------|------------|-----|------|------|--------------|
| Address and $\overline{CS}$ Setup Time | $T_{SET}$  | 50  | —    | ns   |              |
| $\overline{RE}$ Pulse Width            | $T_{RE}$   | 400 | —    | ns   |              |
| Address and $\overline{CS}$ Hold Time  | $T_{HLD}$  | 10  | —    | ns   |              |
| Data Access Time                       | $T_{DACC}$ | —   | 300  | ns   | $C_L = 50pF$ |
| Data Hold Time                         | $T_{DOH}$  | 50  | 150  | ns   | $C_L = 50pF$ |
| DRQ Reset Delay                        | $T_{DRR}$  | —   | 500  | ns   |              |
| INTRQ Reset Delay                      | $T_{IRR}$  | —   | 3000 | ns   | 1            |

1. Timing shown is for 2MHz CLK frequency. For 1 MHz, this parameter is doubled.

 MPU WRITE CYCLE CHARACTERISTICS ( $V_{CC} = 5V \pm 5\%$ ,  $T_A = 0 - 70^\circ C$ )

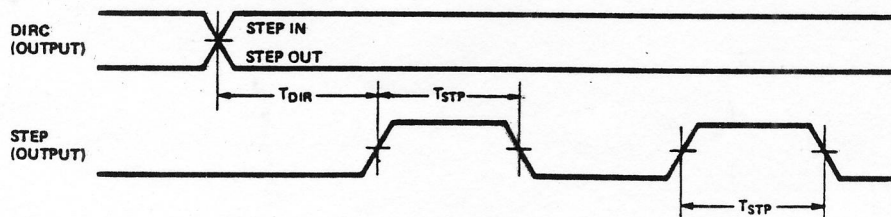
| CHARACTERISTIC                         | SYMBOL    | MIN | MAX  | UNIT | NOTE |
|----------------------------------------|-----------|-----|------|------|------|
| Address and $\overline{CS}$ Setup Time | $T_{SET}$ | 50  | —    | ns   |      |
| $\overline{WE}$ Pulse Width            | $T_{WE}$  | 350 | —    | ns   |      |
| Address and $\overline{CS}$ Hold Time  | $T_{HLD}$ | 10  | —    | ns   |      |
| Data Setup Time                        | $T_{DS}$  | 250 | —    | ns   |      |
| Data Hold Time                         | $T_{DH}$  | 20  | —    | ns   |      |
| DRQ Reset Delay                        | $T_{DRR}$ | —   | 500  | ns   |      |
| INTRQ Rest Delay                       | $T_{IRR}$ | —   | 3000 | ns   | 1    |

1. Timing shown is for 2MHz CLK frequency. For 1MHz, this parameter is doubled.

**SYSTEM CLOCK REFERENCE**

**INDEX PULSE INPUT**

**WRITE FAULT INPUT**

**MASTER RESET INPUT**

**MISCELLANEOUS TIMINGS ( $V_{CC} = 5V \pm 5\%$ ,  $T_A = 0 - 70^\circ C$ )**

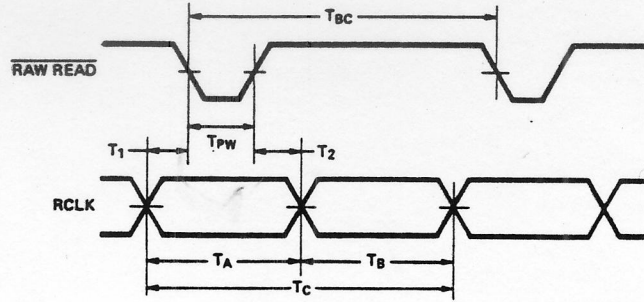
| CHARACTERISTIC           | SYMBOL    | MIN       | MAX   | UNIT    | NOTE |
|--------------------------|-----------|-----------|-------|---------|------|
| Clock Low Time           | $T_{CD1}$ | 230       | 20000 | ns      | 2    |
| Clock High Time          | $T_{CD2}$ | 200       | 20000 | ns      | 2    |
| DIRC Setup Time          | $T_{DIR}$ | 12        | —     | $\mu s$ | 2    |
| STEP Pulse Width         | $T_{STP}$ | 2, 4 or 8 | —     | $\mu s$ | 1    |
| Index Pulse Width        | $T_{IP}$  | 10        | —     | $\mu s$ | 2    |
| Write Fault Pulse Width  | $T_{WF}$  | 10        | —     | $\mu s$ | 2    |
| Master Reset Pulse Width | $T_{MR}$  | 50        | —     | $\mu s$ | 2    |
| RCLK for MFM             | $T_C$     | 1.6       | —     | $\mu s$ | 2    |

1. Depends upon FM/MFM mode and CLK frequency. See timing figure below.
2. Timing shown is for 2 MHz clock: Minimum time doubles for 1 MHz clock.

**STEP AND DIRECTION MOTOR CONTROL TIMING**

 **$T_{STP}$  PULSE WIDTH**

| CLK<br>FREQ. | MODE      |           |
|--------------|-----------|-----------|
|              | MFM       | FM        |
| 1MHz         | 4 $\mu s$ | 8 $\mu s$ |
| 2MHz         | 2 $\mu s$ | 4 $\mu s$ |

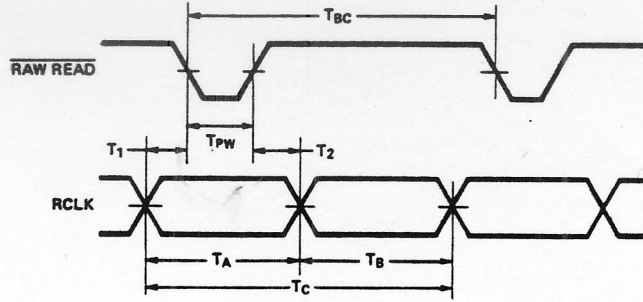
## INPUT DATA TIMING CHARACTERISTICS



| SYMBOL                  | DESCRIPTION                                                                                                                                                                                                                        | COMMENTS                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |           |       |                    |     |    |      |                   |                |       |                   |                |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
|-------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------|-------|--------------------|-----|----|------|-------------------|----------------|-------|-------------------|----------------|---|---|---|---------|----|---|---|---|---------|------|-----|---|---|---|---------|----|---|---|---|---------|
| $T_A$<br>$T_B$<br>$T_C$ | Read Clock Signal<br><br>$T_A$ and $T_B$ must each be greater than 800 ns.                                                                                                                                                         | <table border="1"> <thead> <tr> <th rowspan="2">CLK FREQ.</th> <th rowspan="2">MODE</th> <th colspan="3">NOMINAL RCLK TIMES</th> <th rowspan="2">UNIT</th> </tr> <tr> <th><math>T_A</math></th> <th><math>T_B</math></th> <th><math>T_C</math></th> </tr> </thead> <tbody> <tr> <td rowspan="2">1MHz</td> <td>MFM</td> <td>2</td> <td>2</td> <td>4</td> <td><math>\mu s</math></td> </tr> <tr> <td>FM</td> <td>4</td> <td>4</td> <td>8</td> <td><math>\mu s</math></td> </tr> <tr> <td rowspan="2">2MHz</td> <td>MFM</td> <td>1</td> <td>1</td> <td>2</td> <td><math>\mu s</math></td> </tr> <tr> <td>FM</td> <td>2</td> <td>2</td> <td>4</td> <td><math>\mu s</math></td> </tr> </tbody> </table> | CLK FREQ. | MODE  | NOMINAL RCLK TIMES |     |    | UNIT | $T_A$             | $T_B$          | $T_C$ | 1MHz              | MFM            | 2 | 2 | 4 | $\mu s$ | FM | 4 | 4 | 8 | $\mu s$ | 2MHz | MFM | 1 | 1 | 2 | $\mu s$ | FM | 2 | 2 | 4 | $\mu s$ |
| CLK FREQ.               | MODE                                                                                                                                                                                                                               | NOMINAL RCLK TIMES                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |           |       | UNIT               |     |    |      |                   |                |       |                   |                |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
|                         |                                                                                                                                                                                                                                    | $T_A$                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | $T_B$     | $T_C$ |                    |     |    |      |                   |                |       |                   |                |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| 1MHz                    | MFM                                                                                                                                                                                                                                | 2                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | 2         | 4     | $\mu s$            |     |    |      |                   |                |       |                   |                |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
|                         | FM                                                                                                                                                                                                                                 | 4                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | 4         | 8     | $\mu s$            |     |    |      |                   |                |       |                   |                |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| 2MHz                    | MFM                                                                                                                                                                                                                                | 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | 1         | 2     | $\mu s$            |     |    |      |                   |                |       |                   |                |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
|                         | FM                                                                                                                                                                                                                                 | 2                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | 2         | 4     | $\mu s$            |     |    |      |                   |                |       |                   |                |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| $T_{PW}$                | $\overline{\text{RAW READ}}$ Pulse Width. Normally is 100-300 ns. May be any width providing it is entirely within RCLK stable time. If it extends beyond RCLK transition, then it must be constrained by the values in the table. | <table border="1"> <thead> <tr> <th rowspan="2">CLK FREQ.</th> <th colspan="2">MODE</th> </tr> <tr> <th>MFM</th> <th>FM</th> </tr> </thead> <tbody> <tr> <td>1MHz</td> <td><math>&lt; 600ns</math></td> <td><math>&lt; 1200ns</math></td> </tr> <tr> <td>2MHz</td> <td><math>&lt; 300ns</math></td> <td><math>&lt; 600ns</math></td> </tr> </tbody> </table>                                                                                                                                                                                                                                                                                                                                       | CLK FREQ. | MODE  |                    | MFM | FM | 1MHz | $< 600ns$         | $< 1200ns$     | 2MHz  | $< 300ns$         | $< 600ns$      |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| CLK FREQ.               | MODE                                                                                                                                                                                                                               |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |           |       |                    |     |    |      |                   |                |       |                   |                |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
|                         | MFM                                                                                                                                                                                                                                | FM                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |           |       |                    |     |    |      |                   |                |       |                   |                |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| 1MHz                    | $< 600ns$                                                                                                                                                                                                                          | $< 1200ns$                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |           |       |                    |     |    |      |                   |                |       |                   |                |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| 2MHz                    | $< 300ns$                                                                                                                                                                                                                          | $< 600ns$                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |           |       |                    |     |    |      |                   |                |       |                   |                |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| $T_{BC}$                | $\overline{\text{RAW READ}}$ Pulse Period<br><br>1.6 $\mu s$ min. at 2 MHz<br>3.2 $\mu s$ min. at 1 MHz                                                                                                                            | <table border="1"> <thead> <tr> <th rowspan="2">CLK FREQ.</th> <th colspan="2">MODE</th> </tr> <tr> <th>MFM</th> <th>FM</th> </tr> </thead> <tbody> <tr> <td>1MHz</td> <td>4, 6 or 8<math>\mu s</math></td> <td>4 or 8<math>\mu s</math></td> </tr> <tr> <td>2MHz</td> <td>2, 3 or 4<math>\mu s</math></td> <td>2 or 4<math>\mu s</math></td> </tr> </tbody> </table>                                                                                                                                                                                                                                                                                                                              | CLK FREQ. | MODE  |                    | MFM | FM | 1MHz | 4, 6 or 8 $\mu s$ | 4 or 8 $\mu s$ | 2MHz  | 2, 3 or 4 $\mu s$ | 2 or 4 $\mu s$ |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| CLK FREQ.               | MODE                                                                                                                                                                                                                               |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |           |       |                    |     |    |      |                   |                |       |                   |                |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
|                         | MFM                                                                                                                                                                                                                                | FM                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |           |       |                    |     |    |      |                   |                |       |                   |                |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| 1MHz                    | 4, 6 or 8 $\mu s$                                                                                                                                                                                                                  | 4 or 8 $\mu s$                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |           |       |                    |     |    |      |                   |                |       |                   |                |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| 2MHz                    | 2, 3 or 4 $\mu s$                                                                                                                                                                                                                  | 2 or 4 $\mu s$                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |           |       |                    |     |    |      |                   |                |       |                   |                |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| $T_1, T_2$              | $T_1$ and $T_2$ must each be greater than 40 ns.                                                                                                                                                                                   |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |           |       |                    |     |    |      |                   |                |       |                   |                |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |



## INPUT DATA TIMING CHARACTERISTICS

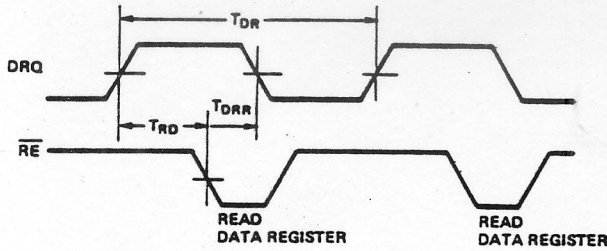


| SYMBOL                  | DESCRIPTION                                                                                                                                                                                                                        | COMMENTS                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |           |       |                    |     |    |      |                   |                   |       |                   |                  |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
|-------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------|-------|--------------------|-----|----|------|-------------------|-------------------|-------|-------------------|------------------|---|---|---|---------|----|---|---|---|---------|------|-----|---|---|---|---------|----|---|---|---|---------|
| $T_A$<br>$T_B$<br>$T_C$ | Read Clock Signal<br><br>$T_A$ and $T_B$ must each be greater than 800 ns.                                                                                                                                                         | <table border="1"> <thead> <tr> <th rowspan="2">CLK FREQ.</th> <th rowspan="2">MODE</th> <th colspan="3">NOMINAL RCLK TIMES</th> <th rowspan="2">UNIT</th> </tr> <tr> <th><math>T_A</math></th> <th><math>T_B</math></th> <th><math>T_C</math></th> </tr> </thead> <tbody> <tr> <td rowspan="2">1MHz</td> <td>MFM</td> <td>2</td> <td>2</td> <td>4</td> <td><math>\mu</math>s</td> </tr> <tr> <td>FM</td> <td>4</td> <td>4</td> <td>8</td> <td><math>\mu</math>s</td> </tr> <tr> <td rowspan="2">2MHz</td> <td>MFM</td> <td>1</td> <td>1</td> <td>2</td> <td><math>\mu</math>s</td> </tr> <tr> <td>FM</td> <td>2</td> <td>2</td> <td>4</td> <td><math>\mu</math>s</td> </tr> </tbody> </table> | CLK FREQ. | MODE  | NOMINAL RCLK TIMES |     |    | UNIT | $T_A$             | $T_B$             | $T_C$ | 1MHz              | MFM              | 2 | 2 | 4 | $\mu$ s | FM | 4 | 4 | 8 | $\mu$ s | 2MHz | MFM | 1 | 1 | 2 | $\mu$ s | FM | 2 | 2 | 4 | $\mu$ s |
| CLK FREQ.               | MODE                                                                                                                                                                                                                               | NOMINAL RCLK TIMES                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |           |       | UNIT               |     |    |      |                   |                   |       |                   |                  |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
|                         |                                                                                                                                                                                                                                    | $T_A$                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          | $T_B$     | $T_C$ |                    |     |    |      |                   |                   |       |                   |                  |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| 1MHz                    | MFM                                                                                                                                                                                                                                | 2                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | 2         | 4     | $\mu$ s            |     |    |      |                   |                   |       |                   |                  |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
|                         | FM                                                                                                                                                                                                                                 | 4                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | 4         | 8     | $\mu$ s            |     |    |      |                   |                   |       |                   |                  |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| 2MHz                    | MFM                                                                                                                                                                                                                                | 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | 1         | 2     | $\mu$ s            |     |    |      |                   |                   |       |                   |                  |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
|                         | FM                                                                                                                                                                                                                                 | 2                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | 2         | 4     | $\mu$ s            |     |    |      |                   |                   |       |                   |                  |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| $T_{PW}$                | $\overline{\text{RAW READ}}$ Pulse Width. Normally is 100-300 ns. May be any width providing it is entirely within RCLK stable time. If it extends beyond RCLK transition, then it must be constrained by the values in the table. | <table border="1"> <thead> <tr> <th rowspan="2">CLK FREQ.</th> <th colspan="2">MODE</th> </tr> <tr> <th>MFM</th> <th>FM</th> </tr> </thead> <tbody> <tr> <td>1MHz</td> <td><math>&lt; 600\text{ns}</math></td> <td><math>&lt; 1200\text{ns}</math></td> </tr> <tr> <td>2MHz</td> <td><math>&lt; 300\text{ns}</math></td> <td><math>&lt; 600\text{ns}</math></td> </tr> </tbody> </table>                                                                                                                                                                                                                                                                                                       | CLK FREQ. | MODE  |                    | MFM | FM | 1MHz | $< 600\text{ns}$  | $< 1200\text{ns}$ | 2MHz  | $< 300\text{ns}$  | $< 600\text{ns}$ |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| CLK FREQ.               | MODE                                                                                                                                                                                                                               |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |           |       |                    |     |    |      |                   |                   |       |                   |                  |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
|                         | MFM                                                                                                                                                                                                                                | FM                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |           |       |                    |     |    |      |                   |                   |       |                   |                  |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| 1MHz                    | $< 600\text{ns}$                                                                                                                                                                                                                   | $< 1200\text{ns}$                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |           |       |                    |     |    |      |                   |                   |       |                   |                  |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| 2MHz                    | $< 300\text{ns}$                                                                                                                                                                                                                   | $< 600\text{ns}$                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |           |       |                    |     |    |      |                   |                   |       |                   |                  |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| $T_{BC}$                | $\overline{\text{RAW READ}}$ Pulse Period<br><br>1.6 $\mu$ s min. at 2 MHz<br>3.2 $\mu$ s min. at 1 MHz                                                                                                                            | <table border="1"> <thead> <tr> <th rowspan="2">CLK FREQ.</th> <th colspan="2">MODE</th> </tr> <tr> <th>MFM</th> <th>FM</th> </tr> </thead> <tbody> <tr> <td>1MHz</td> <td>4, 6 or 8<math>\mu</math>s</td> <td>4 or 8<math>\mu</math>s</td> </tr> <tr> <td>2MHz</td> <td>2, 3 or 4<math>\mu</math>s</td> <td>2 or 4<math>\mu</math>s</td> </tr> </tbody> </table>                                                                                                                                                                                                                                                                                                                              | CLK FREQ. | MODE  |                    | MFM | FM | 1MHz | 4, 6 or 8 $\mu$ s | 4 or 8 $\mu$ s    | 2MHz  | 2, 3 or 4 $\mu$ s | 2 or 4 $\mu$ s   |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| CLK FREQ.               | MODE                                                                                                                                                                                                                               |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |           |       |                    |     |    |      |                   |                   |       |                   |                  |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
|                         | MFM                                                                                                                                                                                                                                | FM                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |           |       |                    |     |    |      |                   |                   |       |                   |                  |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| 1MHz                    | 4, 6 or 8 $\mu$ s                                                                                                                                                                                                                  | 4 or 8 $\mu$ s                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |           |       |                    |     |    |      |                   |                   |       |                   |                  |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| 2MHz                    | 2, 3 or 4 $\mu$ s                                                                                                                                                                                                                  | 2 or 4 $\mu$ s                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |           |       |                    |     |    |      |                   |                   |       |                   |                  |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |
| $T_1, T_2$              | $T_1$ and $T_2$ must each be greater than 40 ns.                                                                                                                                                                                   |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |           |       |                    |     |    |      |                   |                   |       |                   |                  |   |   |   |         |    |   |   |   |         |      |     |   |   |   |         |    |   |   |   |         |

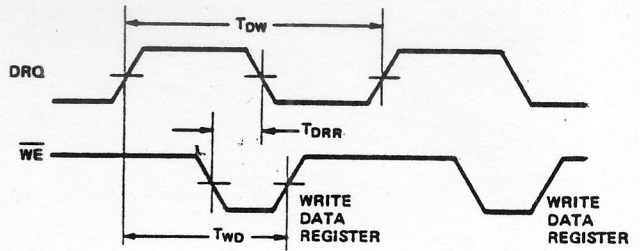


DISKETTE DATA TIMING CHARACTERISTICS

READ ENABLE TIMING

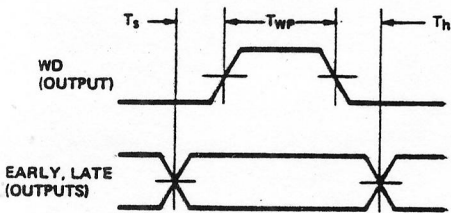


WRITE ENABLE TIMING

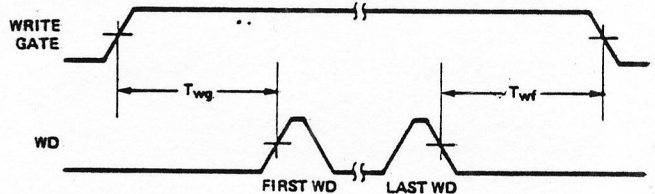


| CLK FREQ. | MODE | TDR nom. | TRD max. | TDW nom. | TWD max. | UNIT |
|-----------|------|----------|----------|----------|----------|------|
| 1MHz      | MFM  | 32       | 27.0     | 32       | 23.0     | μs   |
|           | FM   | 64       | 55.0     | 64       | 47.0     | μs   |
| 2MHz      | MFM  | 16       | 13.5     | 16       | 11.5     | μs   |
|           | FM   | 32       | 27.5     | 32       | 23.5     | μs   |

WRITE DATA TIMING



WRITE GATE TIMING



| CLK FREQ. | MODE | Twp  |      | Ts min. | Th min. | Twg nom. | Twf nom. | UNIT |
|-----------|------|------|------|---------|---------|----------|----------|------|
|           |      | min. | max. |         |         |          |          |      |
| 1 MHz     | MFM  | 300  | 500  | 250     | 250     | 2000     | 2000     | nsec |
|           | FM   | 900  | 1100 | -       | -       | 4000     | 4000     | nsec |
| 2 MHz     | MFM  | 150  | 250  | 125     | 125     | 1000     | 1000     | nsec |
|           | FM   | 450  | 550  | -       | -       | 2000     | 2000     | nsec |

The information contained in this document has been carefully checked and is believed to be reliable; however, Synertek shall not be responsible for any loss or damage of whatever nature resulting from the use of, or reliance upon, the information contained in this document. Synertek makes no guarantee or warranty concerning the accuracy of such information, and this document does not in any way extend Synertek's warranty on any product beyond that set forth in Synertek's standard terms and conditions of sale. Synertek does not guarantee that the use of any information contained herein will not infringe upon the patent or other rights of third parties, and no patent or other license is implied hereby. Synertek reserves the right to make changes in the product without notification which would render the information contained in this document obsolete or inaccurate. Please contact Synertek for the latest information concerning this product.





**MOTOROLA**  
Semiconductors

**DIRECT MEMORY ACCESS CONTROLLER (DMAC)**

The MC6844 Direct Memory Access Controller (DMAC) performs the function of transferring data directly between memory and peripheral device controllers. It directly transfers the data by controlling the address and data bus in place of an MPU in a bus organized system.

The bus interface of the MC6844 includes select, read/write, interrupt, transfer request/grant, a data port, and an address port which allow data transfer over an 8-bit bidirectional data bus. The functional configuration of the DMAC is programmed via the data bus. The internal structure provides for control and handling of four individual channels, each of which is separately configured. Programmable control registers provide control for data transfer location and data block length, individual channel control and transfer mode configuration, priority of channel servicing, data chaining, and interrupt control. Status and control lines provide control to peripheral controllers.

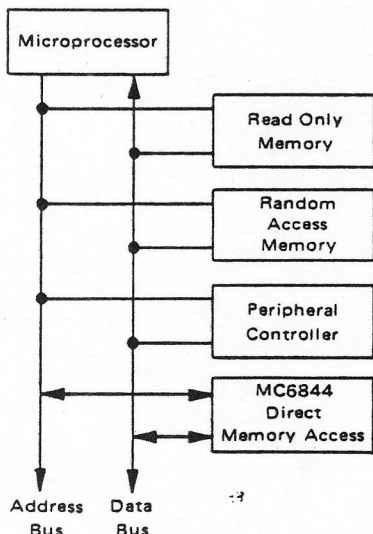
The mode of transfer for each channel can be programmed as one of two single-byte transfer modes or a burst transfer mode.

Typical MC6844 applications are a Floppy Disk Controller (FDC) and an Advanced Data Link Controller (ADLC) DMA interface.

MC6844 features include:

- Four DMA Channels, Each Having a 16-Bit Address Register and a 16-Bit Byte Count Register
- 2 M Byte/Sec Maximum Data Transfer Rate
- Selection of Fixed or Rotating Priority Service Control
- Separate Control Bits for Each Channel
- Data Chain Function
- Address Increment or Decrement Update
- Programmable Interrupts and DMA End to Peripheral Controllers

**FIGURE 1 — M6800 MICROCOMPUTER FAMILY  
BLOCK DIAGRAM**

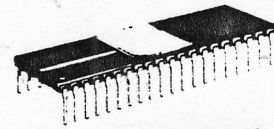


**MC6844**  
(1.0 MHz)  
**MC68A44**  
(1.5 MHz)  
**MC68B44**  
(2.0 MHz)

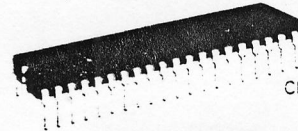
**MOS**

(IN-CHANNEL, SILICON-GATE)

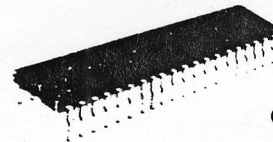
**DIRECT MEMORY  
ACCESS CONTROLLER  
(DMAC)**



**CASE 715-04**  
(CERAMIC)

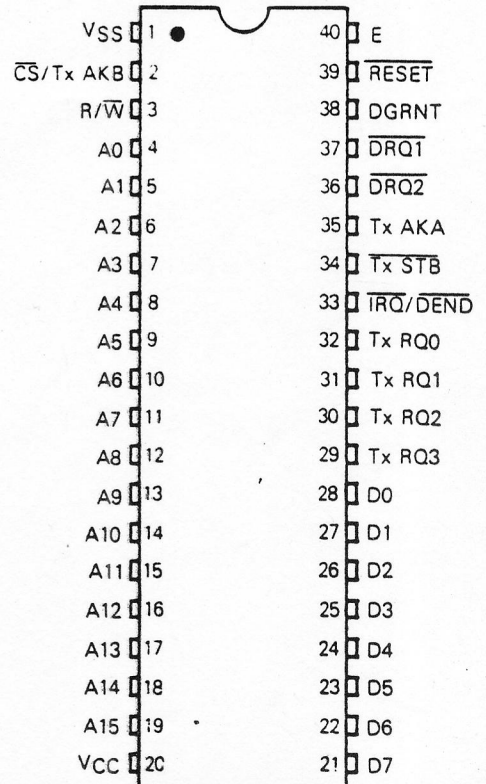


**S SUFFIX**  
CERDIP PACKAGE  
CASE 734



**CASE 711-03**  
(PLASTIC)

**PIN ASSIGNMENT**





**READ/WRITE (R/W)**

This TTL-compatible bidirectional line is a high-impedance input when the DMAC is off the system bus (MPU mode), and an output when the DMAC is controlling the bus (DMA mode). In the MPU mode, this input is used to control the direction of data transfer through the DMAC data bus interface to allow MPU reads and writes to internal registers. In the DMA mode, Read/Write is an output to the system bus, with its state controlled by bit 0 of the appropriate channel control register.

**ADDRESS A0-A15**

Address lines A0-A4 are bidirectional. In the MPU mode, these lines are inputs used by the MPU to address DMAC registers. In the DMA mode, these lines and lines A5-A15 are outputs which assert the contents of the address register of the channel being serviced. Address lines A0-A15 are TTL compatible.

**DATA D0-D7**

These bidirectional TTL-compatible lines are used for data transfer between the MPU and the DMAC. These lines remain in the high-impedance state except when the MPU reads DMAC registers.

**INTERRUPT REQUEST/DMA END ( $\overline{\text{IRQ}}$ / $\overline{\text{DEND}}$ )**

Interrupt Request/DMA End is a TTL-compatible, time-multiplexed, active low output used to interrupt the MPU and signal a peripheral controller when a DMAC data block transfer has ended.  $\overline{\text{DEND}}$  is asserted during the transfer of the last data byte of a block transfer for one E clock cycle (see Figures 4, 5, and 6).  $\overline{\text{IRQ}}$  is asserted after the last byte transfer of a block transfer if enabled by setting the proper DEND IRQ enable bit in the interrupt control register (see Table 2). Once asserted,  $\overline{\text{IRQ}}$  is negated by reading the channel control register of the channel asserting the interrupt.

**TRANSFER REQUEST (Tx RQ0-3)**

Associated with each channel is a high-impedance input pin used by a peripheral controller to request DMA service by the channel. The Tx RQ pins are sampled by the DMAC in an order of priority determined by the software-programmable state of the priority control register. The Tx RQ pins for channels programmed for mode 1 or mode 2 operation (single-byte transfer modes) are sampled on the rising edge of E. If Tx RQ for one of these channels is asserted when sampled, the DMAC will perform one DMA byte transfer for the channel before sampling the Tx RQ pin of the channel next in the priority. The Tx RQ pins for channels programmed for mode 3 operation (block transfer mode) are sampled on the rising edge of E for the first DMA byte transfer only. If a Tx RQ for one of these channels is asserted when sampled, the first byte of the channel data block is transferred, then the Tx RQ pin is sampled on falling edges of E for subsequent byte transfers (see Figure 6). Once a channel programmed for mode 3 operation begins DMA, that channel has priority of servicing until the channel completes its entire block transfer.

**DMA REQUEST 1-2 ( $\overline{\text{DRQ1}}$ ,  $\overline{\text{DRQ2}}$ )**

These active low TTL-compatible outputs are used by the DMAC to handshake with the MPU in requesting the system bus for DMA operation.  $\overline{\text{DRQ1}}$  is asserted to indicate that a channel configured for mode 1 operation requires servicing, and  $\overline{\text{DRQ2}}$  is asserted to indicate that a channel configured for mode 2 or mode 3 operation requires servicing. Once asserted, each output remains asserted until the DMAC completes one DMA byte transfer in mode 1 and mode 2 DMA, or an entire byte block transfer in mode 3 DMA.

**DMA GRANT (DGRNT)**

This high-impedance input is used to enable MC6844 DMA operation and should be asserted only after the MPU has relinquished the system bus to the DMAC. Typically, DGRNT will be asserted by the MPU in response to a DMA request, indicating that the system bus is available for DMA.

**TRANSFER STROBE ( $\overline{\text{Tx STB}}$ )**

$\overline{\text{Tx STB}}$  is asserted during each DMA transfer cycle and can be used as a transfer acknowledge for peripheral controllers and as a system VMA.  $\overline{\text{Tx STB}}$  is a TTL-compatible output.

**TRANSFER ACKNOWLEDGE A (Tx AKA)**

Transfer Acknowledge A is asserted during DMA operation and can be used with Tx AKB to identify the DMA channel being serviced, as shown in Table 1.

**CHIP SELECT/TRANSFER ACKNOWLEDGE B ( $\overline{\text{CS}}$ /Tx AKB)**

This bidirectional pin serves two functions. During MPU operation it is a chip-select input which when asserted allows MPU access to the DMAC registers. During DMA transfers this pin is for Tx AKB output, used with Tx AKA to identify the DMA channel being serviced (see Table 1).

TABLE 1 — ENCODING ORDER

| CS/Tx AKB | Tx AKA | Channel # |
|-----------|--------|-----------|
| 0         | 0      | 0         |
| 0         | 1      | 1         |
| 1         | 0      | 2         |
| 1         | 1      | 3         |

**DMAC REGISTERS**

All DMAC registers are read/write registers, although some of the register status bits are read-only. Table 2 presents a summary of the DMAC control registers, and Table 3 lists address and byte count register addresses.

**ADDRESS REGISTERS**

Associated with each DMA channel is an address register which stores the 16-bit address to be asserted on the system



TABLE 2 — DMAC CONTROL REGISTERS

| Register          | Address (Hex) | Register Content    |                 |          |          |                               |                             |                             |                           |
|-------------------|---------------|---------------------|-----------------|----------|----------|-------------------------------|-----------------------------|-----------------------------|---------------------------|
|                   |               | Bit 7               | Bit 6           | Bit 5    | Bit 4    | Bit 3                         | Bit 2                       | Bit 1                       | Bit 0                     |
| Channel Control   | 1x*           | DMA End Flag (DEND) | Busy/Ready Flag | Not Used | Not Used | Address Up/Down               | MCA                         | MCB                         | Read/Write (R/W)          |
| Priority Control  | 14            | Rotate Control      | Not Used        | Not Used | Not Used | Request Enable #3 (RE3)       | Request Enable #2 (RE2)     | Request Enable #1 (RE1)     | Request Enable #0 (RE0)   |
| Interrupt Control | 15            | DEND IRQ Flag       | Not Used        | Not Used | Not Used | DEND IRQ Enable #3 (DIE3)     | DEND IRQ Enable #2 (DIE2)   | DEND IRQ Enable #1 (DIE1)   | DEND IRQ Enable #0 (DIE0) |
| Data Chain        | 16            | Not Used            | Not Used        | Not Used | Not Used | Two/Four Channel Select (2/4) | Data Chain Channel Select B | Data Chain Channel Select A | Data Chain Enable         |

\*The x represents the binary equivalent of the channel desired.

TABLE 3 — ADDRESS AND BYTE COUNT REGISTERS

| Register        | Channel | Address (Hex) |
|-----------------|---------|---------------|
| Address High    | 0       | 0             |
| Address Low     | 0       | 1             |
| Byte Count High | 0       | 2             |
| Byte Count Low  | 0       | 3             |
| Address High    | 1       | 4             |
| Address Low     | 1       | 5             |
| Byte Count High | 1       | 6             |
| Byte Count Low  | 1       | 7             |
| Address High    | 2       | 8             |
| Address Low     | 2       | 9             |
| Byte Count High | 2       | A             |
| Byte Count Low  | 2       | B             |
| Address High    | 3       | C             |
| Address Low     | 3       | D             |
| Byte Count High | 3       | E             |
| Byte Count Low  | 3       | F             |

address bus during the next DMA cycle of the channel. After each DMA byte transfer, the address register will increment or decrement according to the state of bit 3 of the appropriate channel control register. The starting address of a DMA data block should be stored in the address register of a channel to be used before beginning DMA operation with the channel.

**BYTE COUNT REGISTERS**

Each channel has a 16-bit byte count register which stores the number of DMA cycles remaining in a channel DMA block. This register should be loaded with the number of

bytes to be transferred by a channel before the channel begins DMA. The byte count register is decremented at the beginning of a DMA cycle.

**CHANNEL CONTROL REGISTERS**

A channel control register associated with each channel is used to control the channel mode of operation, the state of the R/W line during DMA, and whether the channel address register will increment or decrement after each DMA cycle. The channel control registers contain two read-only status flags which report the status of the channel. The channel control register bits are defined as follows:

**Bit 0 R/W** Read/Write. The direction of DMA transfer is determined by the state of this bit. When this bit is a "1", R/W will be asserted high by the DMAC during DMA, and memory will be read by the peripheral controller. When this bit is a "0", R/W will be asserted low by the DMAC during DMA and data transfer will be from the peripheral controller to memory.

**Bit 1 MCB** Mode Control B. This bit is used to select the channel DMA mode. When this bit is a "1", mode 3 operation is selected. When this bit is clear, either mode 1 or mode 2 operation is selected according to the state of channel control register bit 2. Table 4 shows the DMA mode options.

TABLE 4 — DMA MODE SELECT

| MCA | MCB | DMA Transfer Mode |
|-----|-----|-------------------|
| 0   | 0   | Mode 2            |
| 0   | 1   | Mode 3            |
| 1   | 0   | Mode 1            |
| 1   | 1   | Undefined         |





- Bit 2 MCA Mode Control A. This bit is used with MCB to select the channel DMA mode. When MCB is set, this bit must be clear and mode 3 operation is selected. Setting both MCA and MCB to a "1" places the DMAC into an undefined mode of operation. With MCB clear, setting MCA to a "1" places the channel into mode 1 and clearing MCA places the channel into mode 2 (see Table 2).
- Bit 3 Address Up/Down. Bit 3 controls address register increment/decrement during DMA. If this bit is set to a "1", the address register increments with each DMA cycle; if it is clear, the address register decrements with each DMA cycle.
- Bits 4-5 Not used.
- Bit 6 Busy/Ready Flag. The Busy/Ready flag is read-only status bit that indicates a DMA block transfer is in progress in the channel. After initializing the channel for a block transfer (address register, byte count register, etc.), this flag sets when Tx RQ is recognized and clears during the last block byte transfer.
- Bit 7 DEND DMA End Flag (DEND). The DEND flag is used to indicate when a DMA transfer is complete. This flag is set during the transfer of the last byte of a DMA block and is cleared by reading the channel control register. This flag will generate an  $\overline{\text{IRQ}}$  interrupt if enabled in the interrupt control register.

#### PRIORITY CONTROL REGISTER

The Priority Control Register is used to individually enable each DMA channel and to select the channel service priority scheme, with bits defined as follows:

- Bits 0-3 RE0-3 Request Enable 0-3. Each DMA channel is individually enabled by setting the appropriate RE bit (RE0 for channel 0 etc.) in the priority control register. A clear channel RE bit inhibits recognition of Tx RQ for the channel.
- Bits 4-6 Not used.
- Bit 7 Rotate Control. One of two channel service priority schemes can be selected by bit 7. When this bit is "0", the fixed priority of servicing is selected in which channel 0 has highest priority, channel 1 has the next highest priority, channel 2 the next highest priority, and channel 3 the last priority. When this bit is set to a "1", the rotating priority of servicing is selected. Rotating priority is initially the same as fixed priority, in that the lower numbered channels initially have the higher priorities. However, once a channel is serviced in the rotating priority mode, that channel is given last priority of servicing. In this scheme the channel last serviced gets the last priority.

#### INTERRUPT CONTROL REGISTER

The interrupt control register allows the user to selectively enable each channel  $\overline{\text{IRQ}}$  interrupt. When enabled, an  $\overline{\text{IRQ}}$  is generated when a DMA block transfer is complete. The interrupt control register also has a flag to indicate that the DMA  $\overline{\text{IRQ}}$  is asserted. Interrupt control register bits are defined as follows:

- Bits 0-3 DIE0-3 DEND  $\overline{\text{IRQ}}$  Enable. These bits enable individual channel  $\overline{\text{IRQ}}$  interrupts when set to "1", and mask these interrupts when cleared. The register bit number is the same as the channel number controlled by the bit. An  $\overline{\text{IRQ}}$  is asserted only when a DMA block transfer is completed.
- Bits 4-6 Not used.
- Bit 7 DEND  $\overline{\text{IRQ}}$  Flag. This read-only bit is set to a "1" when the DMAC  $\overline{\text{IRQ}}$  is asserted, indicating the end of a channel block transfer (DEND assertion) with interrupt enabled. This flag is cleared and  $\overline{\text{IRQ}}$  is negated by a read of the channel control register of the channel causing the  $\overline{\text{IRQ}}$  interrupt.

#### DATA CHAIN REGISTER

Repetitive reading or writing of a block of memory can best be performed using the data chain function. This function transfers the contents of the channel 3 address and byte count registers into the respective registers of the channel selected for data chaining. These contents are transferred during the E cycle following the transfer of the last byte of a block by the selected channel. The data chain register is defined as follows:

- Bit 0 DCE Data Chain Enable. Data chaining is enabled when this bit is set to a "1". When this bit is clear, data chaining is disabled.
- Bit 1-2 DCA/B Data Chain Select A, B. The state of these two bits determine which channel will be updated when data chaining is enabled, as listed in Table 5.
- Bit 3 Two/Four Channel Select. The DMAC will operate with either two channels or four channels, depending on the state of this bit. When this bit is set to a "1", the four-channel mode is selected, and all four channels are selectable. When this bit is clear, the two-channel mode is selected and only channels 0 and 1 are selectable.
- Bits 4-7 Not used.

TABLE 5 — CHANNEL SELECT

| DCB Bit 2 | DCA Bit 1 | Channel # |
|-----------|-----------|-----------|
| 0         | 0         | 0         |
| 0         | 1         | 1         |
| 1         | 0         | 2         |
| 1         | 1         | Undefined |





## INTRODUCTION

The MC6844 DMAC has four DMA channels which can be independently configured by software using fifteen addressable registers. Eight of the addressable registers are 16-bit registers, and seven are 8-bit registers. Associated with each channel are a 16-bit Address Register, a 16-bit Byte Control Register, and an 8-bit Channel Control Register. The DMAC also has three 8-bit registers which affect all of the channels: the Priority Control Register, the Interrupt Control Register, and the Data Chain Register. A block diagram of the DMAC is presented in Figure 2.

## SOFTWARE INITIALIZATION

A channel is initialized for DMA by loading the channel address register with the desired starting DMA address and the channel byte control register with the number of bytes to be transferred. In addition, the channel control register must be initialized for the direction of data transfer, for address register increment or decrement after each byte transfer, and for DMA transfer mode.

Each channel can be initialized for one of three transfer modes: Mode 1, Mode 2, or Mode 3. Two read-only status bits in the channel control register indicate when the channel is busy transferring a block of data and when the DMA transfer of a block of data is complete.

The priority control register, the interrupt control register, and the data chain registers must also be initialized.

The priority control register enables/disables each channel and determines whether channel service requests are serviced in a fixed or a rotating priority. The interrupt control register controls assertion of  $\overline{IRQ}$  interrupt by each channel at the end of a data block transfer and sets a flag when  $\overline{IRQ}$  is asserted. The data chain register controls selection of two or four channel operation, selection of data chaining operation, and the channel to be updated in the data chaining mode.

When data chaining is enabled, the contents of the channel 3 address and byte count registers are stored into the corresponding registers of the channel selected for chaining after the channel data block transfer is completed. This feature allows for repetitively reading or writing a block of memory.

## HARDWARE INITIALIZATION

At power-on reset (POR) and anytime  $\overline{RESET}$  is asserted, all device registers except the address and byte count registers are cleared. Therefore, the state of the DMAC after reset is as follows:

- all DMA channels are disabled,
- all interrupts are disabled,
- all flags are cleared,
- address register decrement is selected for each channel,
- mode 2 is selected for each channel,
- peripheral controller write-to-memory is selected for each channel,
- two-channel operation is selected, and
- data chaining is disabled.

## DMAC BUS CONTROL

During DMA operation, the DMAC controls the system address and data buses and generates system R/W. The DMAC also generates  $\overline{Tx STB}$ , which can be used to derive system VMA;  $\overline{Tx AKA}$  and  $\overline{Tx AKB}$ , which can be used to identify which DMA channel is in service;  $\overline{DRQ1}$  and  $\overline{DRQ2}$ , which are used for handshaking with the system MPU;  $\overline{DEND}$ , which is asserted when the last byte of a data block is being transferred; and  $\overline{IRQ}$ , which when enabled will interrupt the system MPU when a data block transfer is completed. Data itself does not pass through the DMAC, but is transferred between memory and peripheral under control of the DMAC.

## TRANSFER MODES

Each DMAC channel can be programmed to operate in one of three modes.\* Two of the modes, mode 1 and mode 2, are single-byte transfer modes in which the DMAC returns the bus to the MPU after each DMA transfer by negating the appropriate DMA Request ( $\overline{DRQ1}$  or  $\overline{DRQ2}$ ). These modes are intended to be used in applications requiring the MPU to regain control of the bus after each byte transfer. Timing information for modes 1 and 2 is presented in Figures 4 and 5.

Mode 3 is a block transfer mode in which the DMAC retains control of the bus until the last byte of the DMA data block has been transferred (byte control register 0), if  $\overline{DGRNT}$  remains asserted during the entire block transfer. In mode 3, byte transfers are possible at the DMAC clock frequency by asserting  $\overline{Tx RQ}$  each cycle. This mode offers the highest DMA transfer rate. Mode 3 timing is presented in Figure 6.

A flowchart of DMAC operation in each mode is presented in Figure 9.

## FUNCTIONAL PIN DESCRIPTIONS

### VCC AND VSS

VCC and VSS provide power to the DMAC. The power supply should provide  $+5\text{ V} \pm 5\%$  to VCC. VSS should be tied to ground. Total power dissipation will not exceed  $P_D$  milliwatts.

### $\overline{RESET}$

This input is used to place the DMAC into a known state and provide for an orderly startup procedure. Assertion of  $\overline{RESET}$  clears all internal registers except the address and the byte count registers. (see Hardware Initialization).

### E (ENABLE)

This TTL-compatible input is used to clock the DMAC with the MPU E clock. In systems that perform single-byte transfers by stretching the MPU clock rather than by halting the MPU, the system must be designed to provide a non-stretched E clock to this pin. Clock modules such as the MC6875 are available which provide a separate stretchable E clock to externally-driven MPUs and a non-stretched clock to the DMAC.

\*Modes 1, 2, and 3 are also called TSC Steal, HALT Steal, and HALT Burst modes.



FIGURE 2 — BLOCK DIAGRAM OF DMAC

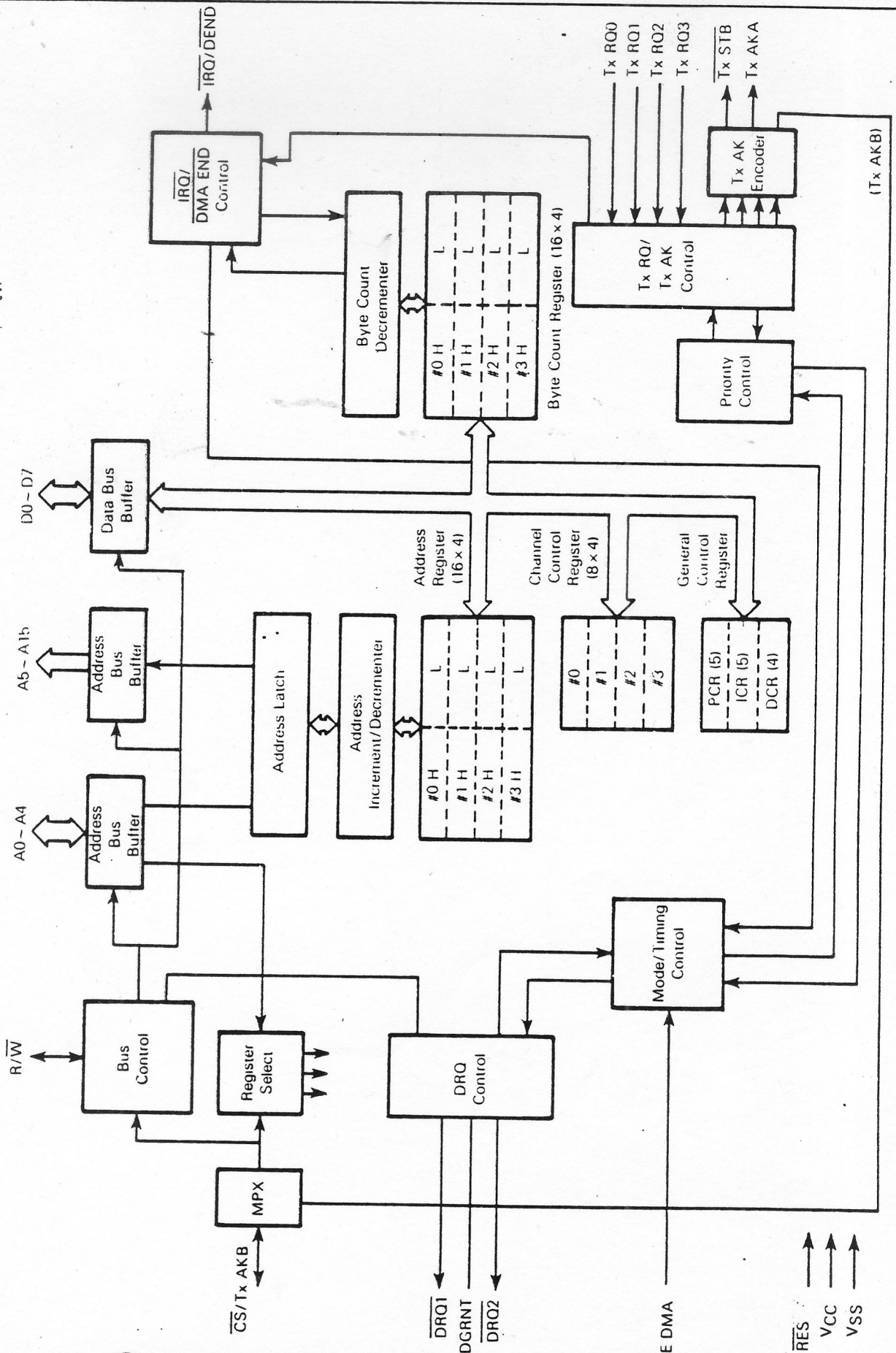


FIGURE 2 — BLOCK DIAGRAM OF DMAC

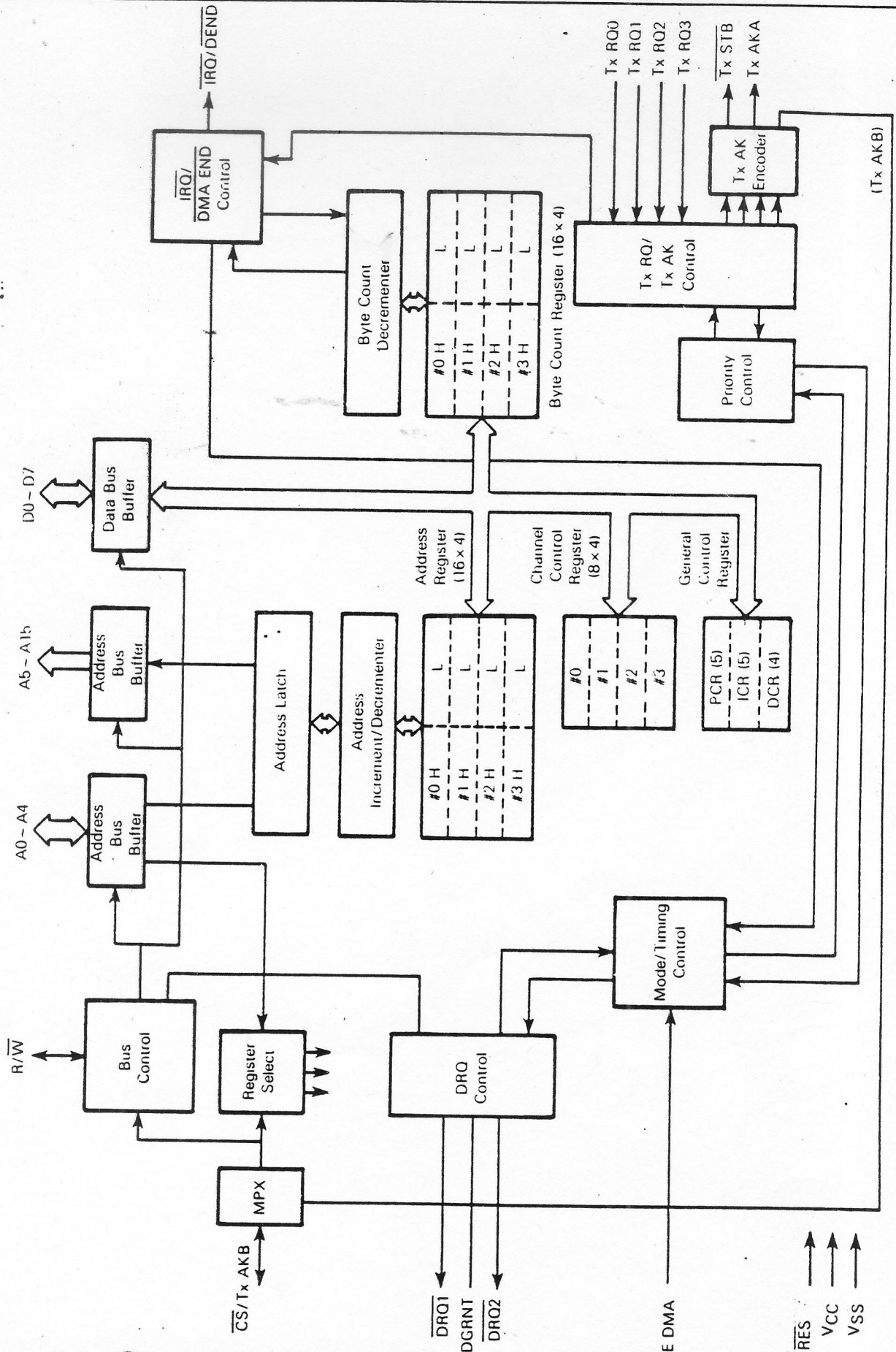
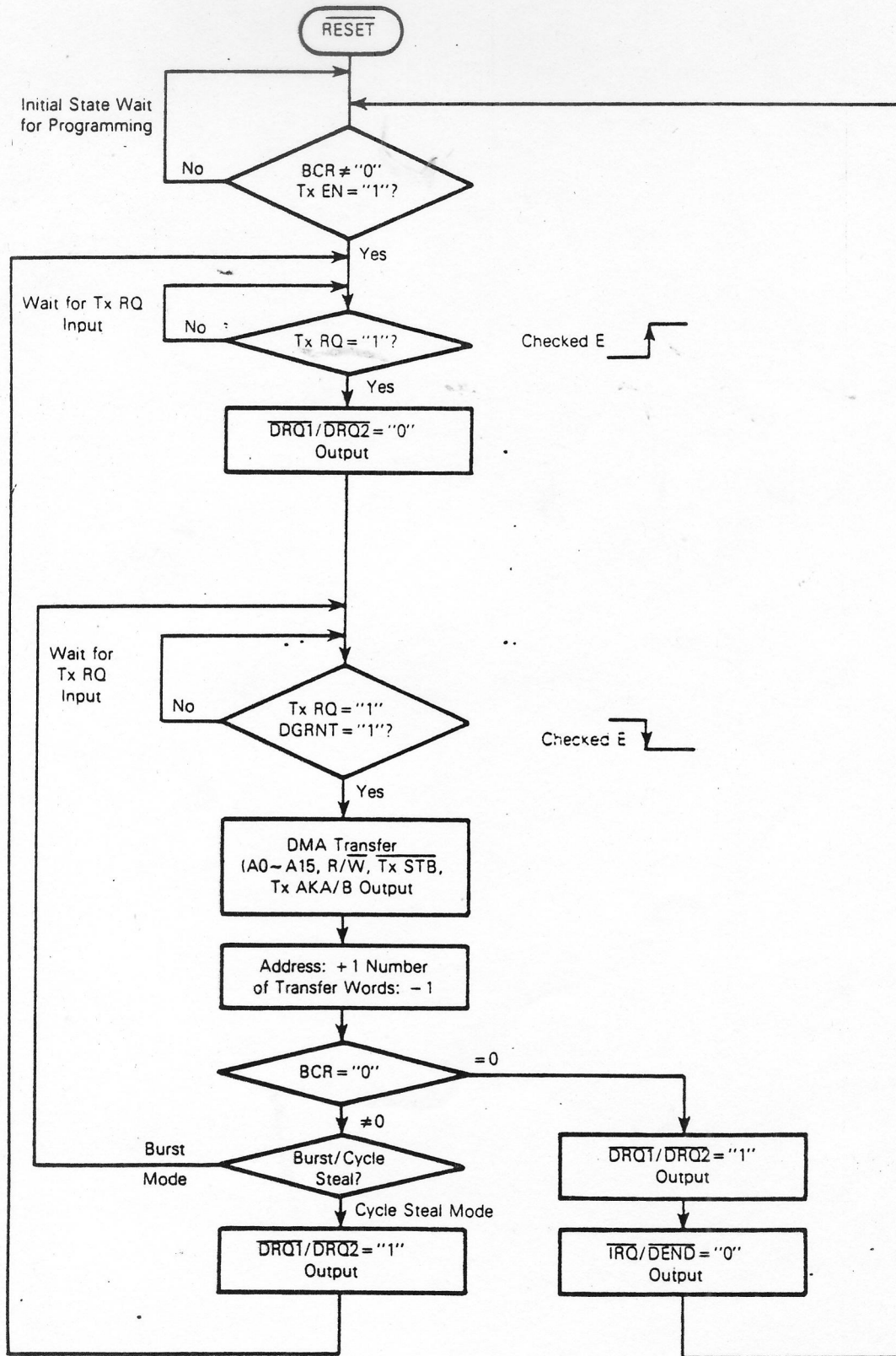
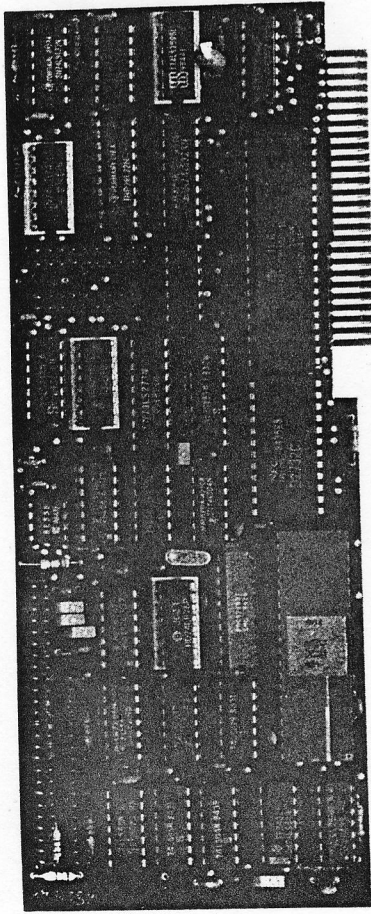




FIGURE 9 — FLOWCHART OF DMAC OPERATION



# AP 14 - Floppy Controller

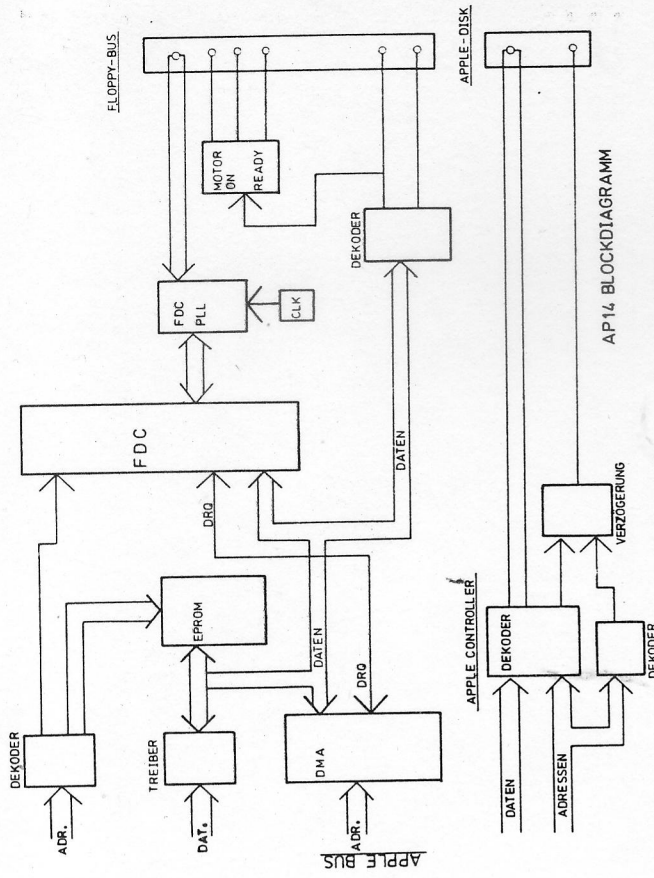


Die AP 14 ist eine Floppy-Disk-Controllerkarte, die viele interessante Möglichkeiten eröffnet.

Die besonderen Vorteile der Karte sind:

- \* Steuerung von bis zu 10 Laufwerken an einem Controller.
- \* ES koennen 5 1/4", 8"- Laufwerke auch gemischt verwendet werden.
- \* Anschluss von 8" - kompatiblen 5 1/4" - Laufwerken möglich.
- \* Datenformat Single- oder Double-Density
- \* Datentransfer über DMA-Controller
- \* Formatierung im IBM - Format, dadurch leichter Austausch von Disketten- Programmen mit anderen Rechnern möglich.
- \* Keine Modifizierung von Industrielaufwerken zum Betreiben an Apple-Controllern mehr nötig.
- \* Schnelleres und sicheres Lesen und Schreiben.
- \* Eingebaute Apple - Controller
- \* BootenvomApple- Driveoder vom Industriebus (umschaltbar)

Alle Laufwerke können gleichzeitig, d.h. ohne mechanische Umschaltung, angeschlossen sein. So können Daten zwischen den verschiedenen Laufwerkstypen kopiert werden.



## Software-Beschreibung

Die AP 14 kann zusätzlich oder als Ersatz eines Apple-Controllers verwendet werden. Die Nummer des Slots, in dem die AP 14 betrieben werden kann, ist EPROM-abhängig.

Über die AP 14 können die beiden Apple-Laufwerke und vier weitere angeschlossen werden. Diese können beliebige Konfigurationen aus den folgenden Laufwerken sein:

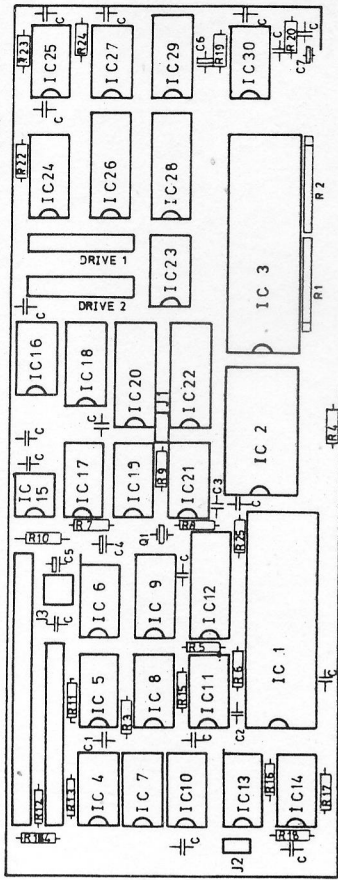
- 8-Zoll single sided, single density (256 KByte Kapazität)
- 8-Zoll single sided, double density (512 KByte Kapazität)
- 8-Zoll double sided, double density (1040 KByte Kapazität)
- 5,25-Zoll 40 Tracks single sided, double density (160 KByte)
- 5,25-Zoll 40 Tracks double sided, double density (320 KByte)
- 5,25-Zoll 80 Tracks single sided, double density (320 KByte)
- 5,25-Zoll 80 Tracks double sided, double density (640 KByte)

Die Laufwerke sind in die folgenden Betriebssysteme eingebunden:

- DOS 3.3
- CP/M 2.2
- UCSD-Pascal 1.1
- Prodos (in Vorbereitung)
- Pascal 1.2 (in Vorbereitung)

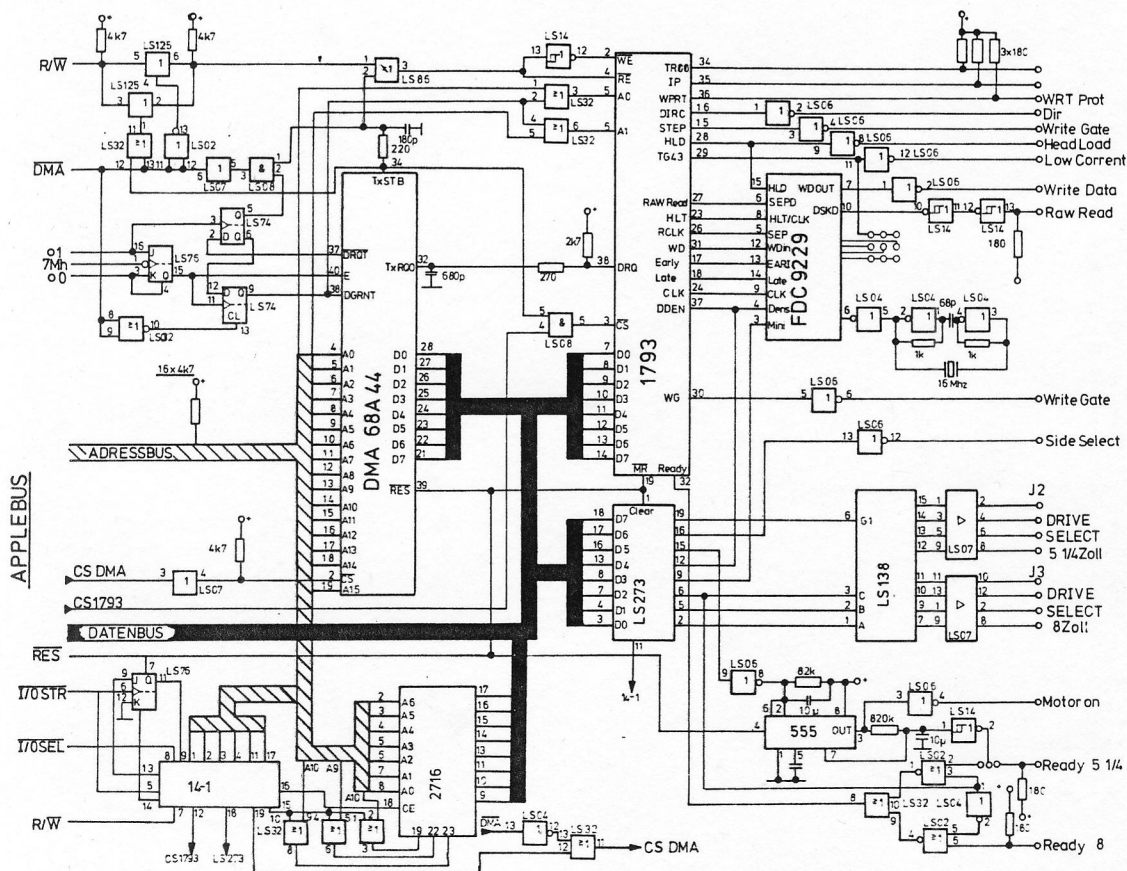
Für jedes der Betriebssysteme werden Formatierungsprogramme angeboten. Die Betriebssysteme können über das als Drive 0 an den Controller angeschlossene Laufwerk gebootet werden.

Für DOS 3.3 werden Disketten mit mehr als 350 KByte Speicherkapazität in mehrere logische Volumina aufgeteilt.



STÜCKLISTE: AP 14

| B |      | ART-NR |          | ANZ |      | BAUTEILBEZ |              | BAUTEILBEZ |  |
|---|------|--------|----------|-----|------|------------|--------------|------------|--|
| A | 1002 | 1      | 74LS02   | P   | 4006 | 1          | 100 R        |            |  |
| A | 1004 | 2      | 74LS04   | P   | 4009 | 2          | 4K7          |            |  |
| A | 1005 | 1      | 74LS05   | P   | 4010 | 1          | 220 R        |            |  |
| A | 1006 | 2      | 74LS06   | P   | 4011 | 1          | 270 R        |            |  |
| A | 1007 | 2      | 74LS07   | P   | 4017 | 1          | 820 R        |            |  |
| A | 1008 | 1      | 74LS08   | P   | 4100 | 4          | 1 K          |            |  |
| A | 1014 | 1      | 74LS14   | P   | 4106 | 1          | 2K7          |            |  |
| A | 1032 | 2      | 74LS32   | P   | 4108 | 2          | 3K3          |            |  |
| A | 1074 | 1      | 74LS74   | P   | 4109 | 2          | 4K7          |            |  |
| A | 1076 | 1      | 74LS76   | P   | 4200 | 1          | 10 K         |            |  |
| A | 1086 | 1      | 74LS86   | P   | 4206 | 1          | 47 K         |            |  |
| A | 1125 | 1      | 74LS125  | P   | 4207 | 1          | 100 K        |            |  |
| A | 1132 | 1      | 74LS132  | P   | 4213 | 1          | 1 M          |            |  |
| A | 1138 | 1      | 74LS138  | P   | 4304 | 2          | AR 4K7 9PIN  |            |  |
| A | 1174 | 1      | 74LS174  | P   | 5007 | 1          | 68 PF        |            |  |
| A | 1259 | 1      | 74LS259  | P   | 5010 | 1          | 100 PF       |            |  |
| A | 1273 | 1      | 74LS273  | P   | 5011 | 1          | 180 PF       |            |  |
| A | 1323 | 1      | 74LS323  | P   | 5020 | 3          | 10 NF        |            |  |
| A | 2507 | 1      | NE 555   | P   | 5022 | 17         | 100 NF       |            |  |
| A | 2508 | 1      | 556      | P   | 5025 | 1          | 47 MU ELKO   |            |  |
| A | 3010 | 1      | 82S153   | P   | 6008 | 1          | 8 PIN        |            |  |
| A | 3017 | 1      | 28L22    | P   | 6014 | 17         | 14 PIN       |            |  |
| A | 3505 | 1      | 68B44    | P   | 6016 | 4          | 16 PIN       |            |  |
| A | 3509 | 1      | 1793     | P   | 6020 | 5          | 20 PIN       |            |  |
| A | 3606 | 1      | 2732     | P   | 6024 | 1          | 24 PIN       |            |  |
| A | 7601 | 1      | SMC 9229 | P   | 6040 | 2          | 40 PIN       |            |  |
| A |      |        |          | P   | 6504 | 2          | G-ST-50P 2R  |            |  |
| A |      |        |          | P   | 6617 | 5          | KURZ-BRÜCKE  |            |  |
| A |      |        |          | P   | 7008 | 1          | 16 MHZ QUARZ |            |  |
| A |      |        |          | P   | 9014 | 1          | PLATINE API4 |            |  |



AP14 Schaltplan © by IBS Computer



AP-14 Disk I/O- Handler

für CP/M56k Vers. 2.2

Copyright (C) 1985 by  
IBS Computertechnik  
&  
Sven Bilke

Die Diskette enthält 3 Files:

|              |                                               |
|--------------|-----------------------------------------------|
| AP14INST.COM | zum Installieren einer Laufwerkskonfiguration |
| AP14DRV.COM  | der eigentliche "Treiber"                     |
| FORMAT.COM   | ein spezielles Formatierprogramm              |

Mit dem sehr komfortablen Installationsprogramm können Sie nahezu alle Formate unter CP/M 2.2 einstellen und somit benutzen. Einschränkungen gibt es z.Z. in Bezug auf die Sektorgröße. Hier sind nur 128 Bytes/Sektor oder 256 Bytes/Sektor zulässig. Eine neuere Version, die in absehbarer Zeit erscheint, wird es ermöglichen, auch 512 Bytes/Sektor (IBM-PC-Format) zu benutzen.

### **Sicherungskopie erstellen ! ! !**

Stellen Sie vor dem ersten Gebrauch Ihres neuen Treibers in jedem Fall eine Sicherungskopie Ihrer Originaldiskette, her da eine Konfiguration ihren Treiber modifiziert.

#### **ACHTUNG:**

Die AP14 Diskette enthält keine Kopie von CP/M, ist also nicht bootfähig.

Um Ihnen eine möglichst flexible Diskettenbehandlung zu ermöglichen, ist die Art der unterstützten Laufwerke von uns nicht festgelegt. Der Benutzer selbst legt die Art der unterstützten Laufwerke fest, dies erfordert einiges Wissen über die Hardware Ihres Computers, genauer Ihrer Diskettenlaufwerke. Sollten Sie bei der Konfiguration Ihres Systems Probleme haben, fragen Sie bitte Ihren Fachhändler oder direkt bei IBS-Computertechnik nach.

Um Ihr System zu konfigurieren, benötigen Sie folgende Files auf Ihrer Arbeitsdiskette:

AP14INST.COM  
AP14DRV .COM

Sie sollten sich, bevor Sie beginnen, noch eine Kopie ihrer Arbeitsdiskette herstellen, um ständig einen 'jungfräulichen' Treiber zu haben, wenn es auch möglich ist, den Treiber zu rekonfigurieren.

### **SLOTABHÄNGIG ! ! !**

Achtung! Die AP14-Software ist slotabhängig. Das bezieht sich aber nur auf die Software im eingesetzten EPROM. Die AP14 kann prinzipiell in jedem Slot betrieben werden. Sie benötigen allerdings für jeden Slot ein anderes EPROM. Sofern bei der Bestellung nicht anders angegeben, liefern wir die AP14 mit Software für SLOT 6 aus. Sie können bei Bedarf dieses EPROM einmal kostenlos gegen ein EPROM für einen Slot nach Ihrer Wahl austauschen oder natürlich auch zusätzliche Slot-EPROMs erwerben.

## Betrieb der AP14 in Slot 7

-----

Die AP14 kann auch in Slot 7 betrieben werden. Hier tritt allerdings während der Autostart-Phase das Problem auf, daß das CP/M-Betriebssystem die AP14 als normalen Disk-Controller erkennt. Da die CP/M-Software nicht für ein Booten von Slot 6 ausgelegt ist, wird die Fehlermeldung "Must boot from Slot six" ausgegeben. Dies können Sie folgendermaßen umgehen:

Betätigen Sie direkt nach dem Einschalten den RESET-Knopf (CTRL-RESET) und booten Sie von Hand mit Eingabe von "PR£6".

## Inbetriebnahme

-----

Vor der ersten Inbetriebnahme lesen Sie sich bitte diese Anleitung genauestens durch!

Setzen Sie - bei ausgeschaltetem Rechner - die AP14 in den vorgesehenen Slot ein (siehe oben). Booten Sie eine CP/M 56-Diskette entweder von einem an der AP14 angeschlossenen Apple-kompatiblen Laufwerk oder, wenn sich die AP14 in einem anderen Slot als Slot 6 befindet, von einem Laufwerk in Slot 6 aus.

Geben Sie in der CP/M Komandoebene das Komando

AP14INST AP14DRV.COM

ein. Es meldet sich das Konfigurationsprogramm mit dem Hauptmenu. Dabei entspricht Laufwerk G: dem logischen Laufwerk £0, Laufwerk H: Nr. £1 usw. .

Geben Sie den Menu-Punkt ein, mit dem Sie das die gewünschten Laufwerkparameter modifizieren können. In der Regel dürfte dies am Anfang Nr. 1 sein, Sie konfigurieren also Laufwerk G:.

## Einstellung der Laufwerkparameter

-----

### 1. Sektoren / Track :

Hier antworten Sie mit der Anzahl der logischen (128 Byte) Sektoren. Sollten Sie 256 Byte Sektoren nutzen wollen, multiplizieren Sie die Anzahl der physikalischen (auf der Diskette befindlichen Sektoren) mit 2 um die Anzahl der logischen Sektoren zu erhalten.

8 Zoll Standard (IBM 3740) ist 26 Sektoren / Track.

### 2. Anzahl der Tracks:

Hier geben Sie bitte die Gesamtzahl der möglichen Tracks ein, also z.B. bei einem Laufwerk mit 2x80 Track ist die Gesamtzahl 160 Tracks!



3. <2>56 oder <1>28 Byte Sektoren:

Hiermit geben Sie die physikalische Sektorgröße an. 256 Byte Formate sind in der Regel schneller als 128 Byte Formate, 128 Byte Formate sind (in Single-Density) aber weiter verbreitet. 8 Zoll Standard (IBM 3740) ist <1>28 Byte Sektoren.

4. <1> Single oder <2> Double-Density

Sie können hiermit die Schreibdichte bestimmen. <2> Double-Density ermöglicht eine größere Datenkapazität und schnelleren Zugriff auf die Diskette. Die Datensicherheit ist, bei modernen Laufwerken, gleich hoch.

8 Zoll Standard (IBM 3740) ist <1> Single

5. Seitenzahl <1> einseitig <2> zweiseitig

8 Zoll Standard (IBM 3740) ist einseitig, also <1>

6. Anschlußbus <1> 8" oder <2> 5 1/4"

Hiermit bestimmen Sie den elektrischen Anschluß ihres Laufwerkes. Dadurch ergibt sich die Möglichkeit am 5 1/4 Zoll Bus Disketten im 8 Zoll Format zu betreiben. Es gibt von der Firma TEAC ein solches Laufwerk, daß die Vorteile von 8 Zolldisketten, nämlich größere Datenkapazität und höhere Zugriffsgeschwindigkeit, mit dem Vorteil der Mini-Disketten vereint: ihre geringere Größe.

Falls sie <2> angeben, wird gefragt, welches physikalische Format unterstützt werden soll:

6a. <1> 8 Zoll oder <2> 5 1/4 Zoll.

Wenn Sie als Anschlußbus <1> (8 Zoll) angeben, wird als physikalisches Format 8 Zoll angenommen, es wird nicht nachgefragt. Standard 8 Zoll (IBM 3740) ist <1> (8 Zoll)

7. Sektoren pro Block

Gemeint sind hier wieder die logischen (128-Byte-) Sektoren.

Geben Sie hier bitte die Blockgröße an.

Die genormten Größen sind: 1KByte, 2KByte, 4KByte, 8KByte, 16KByte.

Beispiel: Möchten Sie eine Blockgröße von 4 KByte "fahren", so rechnen Sie: 4 KByte/128. Das ergibt 32 Sektoren/Block.

Bei kleinen Laufwerken (35/40 Track) nehmen Sie am besten eine Blockgröße von 1 KByte, bei großen Laufwerken (160-Track) eine Blockgröße von 4 KByte. Bei Laufwerken großer Kapazität kann eine zu kleine Blockgröße zu Schwierigkeiten bei der Verwaltung des Laufwerks führen (ALV-Bereich zu klein)!

## 8. Anzahl der Systemtracks

Die Frage System-Tracks dient ausschließlich dazu, um ihr Diskettenformat kompatibel zu anderen Formaten zu halten, da ihre Industrie-Laufwerke kein CP/M System auf der Diskette unterstützen. Für Ihre Privat-Disketten sollten Sie 0 Systemtracks vorsehen, um alle Tracks für die Datenspeicherung zu nutzen, ansonsten richten Sie sich nach Ihrem Tauschpartner. Standard 8 Zoll (IBM 3740) ist 2 Systemtracks.

## 9. Anzahl der Einträge

Auf die Frage 'File Directory Entries : ' antworten Sie mit der Anzahl der 32 Byte Directory Einträge. Je größer die Zahl ist, desto mehr Platz ist in Ihrem Directory, der Fehler 'No Directory Space' tritt nicht mehr so bald auf. Die Anzahl der Directory Entries sollte ungefähr proportional zur Diskettenkapazität gewählt werden.

Standard 8 Zoll (IBM 3740) ist ????? File Directory Entries.

## 10. Stepgeschwindigkeit

Hier geben Sie bitte eine der angegebenen Zeiten ein. Die Stepgeschwindigkeit gibt an, wie schnell der Kopf sich über den Tracks bewegen soll. Das ist natürlich abhängig von der Mechanik Ihres Laufwerks. Bei modernen Laufwerken können Sie allerdings beruhigt die höchste Geschwindigkeit (3ms) wählen.

## 11. Sektor-Interleaving

CP/M braucht einige Zeit, um die von der Diskette kommenden Daten zu verarbeiten. In dieser Zeit aber hat sich die Diskette bereits weiter gedreht, der nächste Sektor ist schon unter dem Schreib-Lese Kopf, wenn CP/M diese Daten benötigt. Das heißt, das eine vollständige Rotation gewartet werden müßte, bevor die Daten abgeholt werden können. Um dies zu umgehen, wurde das sogenannte Interleaving eingeführt, so daß der logisch folgende Sektor nicht dem physikalischen auf der Diskette entspricht, sondern z.B. dem 3. folgenden, oder dem 4. usw. . Dieser Verschiebefaktor heißt Skew-Faktor. Wenn die Verschiebung kontinuierlich ist (erst Sektor 0, dann 3, dann 6, dann 9,...) läßt sich eine Übersetzungstabelle logische --> physikalische Sektoren berechnen, geben Sie also auf die Frage <1> Skew-Faktor oder <2> Skew-tabelle eine <1> ein, läßt sich diese Tabelle so nicht herleiten, antworten Sie mit 2.

### 11a. Skew-Faktor

Haben Sie auf die letzte Frage mit <1> geantwortet, müssen Sie jetzt einen Skew-Faktor angeben. Sehen Sie hierzu bitte die untenstehenden Beispielangaben. Bei einem falsch eingegebenen Faktor werden Sie feststellen, daß das Lesen und Schreiben unverhältnismäßig viel Zeit in Anspruch nimmt.

## 11b. Skew-Tabelle

Falls Sie mal ein besonderes CP/M-Format lesen möchten, können Sie hier die Skew-Tabelle direkt eingeben. Einige wenige CP/M-Formate fangen z.B. mit Sektor 0 an, auch das kann man durch direkte Eingabe der Tabelle verwirklichen.

Nach der Eingabe der Laufwerkparameter können Sie anhand der erscheinenden Kopfzeile noch einmal alle eingegebenen Werte überprüfen und anschließend durch Eingabe von <2> den konfigurierten Treiber abspeichern. Durch Aufruf von "AP14DRV" werden die neuen Laufwerke in das Betriebssystem eingebunden. Das Treiberprogramm (AP14DRV) ist nach jedem neuen Booten erneut aufzurufen oder kann in ein Autostart-Kommando eingebunden werden (Submit-File).

### Eingabe Beispiele

-----

Nachfolgend einige Beispiele für eine (sinnvolle) Eingabe:

#### 1. 160-Track-Laufwerk (z.B. TEAC FD55f)

|                       |     |
|-----------------------|-----|
| Sektoren/Track        | 32  |
| Anzahl der Tracks     | 160 |
| Sektor-Größe          | 2   |
| Single/Double-Density | 2   |
| Seitenzahl            | 2   |
| Anschlußbus           | 2   |
| phys. Anschluß        | 2   |
| Sektoren/Block        | 16  |
| Systemtracks          | 3   |
| Directorie-Einträge   | 128 |
| Stepgeschwindigkeit   | 3   |
| Skew-Faktor           | 2   |

#### 2. 8"-kompatibles-Laufwerk (z.B. TEAC FD55g)

|                       |     |
|-----------------------|-----|
| Sektoren/Track        | 52  |
| Anzahl der Tracks     | 160 |
| Sektor-Größe          | 2   |
| Single/Double-Density | 2   |
| Seitenzahl            | 2   |
| Anschlußbus           | 2   |
| phys. Anschluß        | 1   |
| Sektoren/Block        | 16  |
| Systemtracks          | 3   |
| Directorie-Einträge   | 128 |
| Stepgeschwindigkeit   | 3   |
| Skew-Faktor           | 3   |

Anmerkung: Aufgrund einer gewissen Kompatibilität sind mehr als 52 Sektoren/Track nicht möglich, da dann die Gesamtlinge des Tracks zu groß wird!



### 3. 8"-Drive im IBM 3740-Format (Standard-CP/M)

|                       |     |
|-----------------------|-----|
| Sektoren/Track        | 26  |
| Anzahl der Tracks     | 77  |
| Sektor-Größe          | 1   |
| Single/Double-Density | 1   |
| Seitenzahl            | 1   |
| Anschlußbus           | 1   |
| phys. Anschluß        | 1   |
| Sektoren/Block        | 8   |
| Systemtracks          | 2   |
| Directorie-Einträge   | 128 |
| Stepgeschwindigkeit   | 6   |
| Skew-Faktor           | 6   |

Für Ihre besondere Einstellung:

Laufwerk:

|                       |  |
|-----------------------|--|
| Sektoren/Track        |  |
| Anzahl der Tracks     |  |
| Sektor-Größe          |  |
| Single/Double-Density |  |
| Seitenzahl            |  |
| Anschlußbus           |  |
| phys. Anschluß        |  |
| Sektoren/Block        |  |
| Systemtracks          |  |
| Directorie-Einträge   |  |
| Stepgeschwindigkeit   |  |
| Skew-Faktor           |  |

Laufwerk:

|                       |  |
|-----------------------|--|
| Sektoren/Track        |  |
| Anzahl der Tracks     |  |
| Sektor-Größe          |  |
| Single/Double-Density |  |
| Seitenzahl            |  |
| Anschlußbus           |  |
| phys. Anschluß        |  |
| Sektoren/Block        |  |
| Systemtracks          |  |
| Directorie-Einträge   |  |
| Stepgeschwindigkeit   |  |
| Skew-Faktor           |  |

Laufwerk:

Sektoren/Track  
Anzahl der Tracks  
Sektor-Größe  
Single/Double-Density  
Seitenzahl  
Anschlußbus  
phys. Anschluß  
Sektoren/Block  
Systemtracks  
Directorie-Einträge  
Stepgeschwindigkeit  
Skew-Faktor

Format-Programm

-----  
Jede Diskette muß vor der ersten Benutzung formatiert werden.

Das Format-Programm ist ein spezielles Programm zum formatieren von Disketten. Das Programm erkennt selbstständig die Laufwerkskonfiguration und formatiert, insofern die Konfiguration fehlerfrei ist, das anzugebende Laufwerk.

Au. die AP14 angeschlossene Laufwerk können nur mit diesem Programm formatiert werden!

Nach Eingabe des zu formatierenden Laufwerks wird geprüft, ob das Drive schon Daten enthält. Dadurch wird ein versehentliches Löschen schon bespielter Disketten vermieden. Das Programm fragt dann, ob trotzdem formatiert werden soll. Die Prüfung dauert aufgrund der vielen möglichen Diskettenformate allerdings einige Sekunden. Diese Wartezeit läßt sich leider nicht umgehen.

Beschreibungsversion 1.0

Inhalt :   1 . Disketteninhalt  
          2 . Konfiguration des Treibers  
          3 . Installation des Treibers  
          4 . Formatieren  
          5 . Diskettenaufbau



## 1. Disketteninhalt

Auf der Anpassungsdiskette muessen folgende Dateien vorhanden sein :

|               |                                   |
|---------------|-----------------------------------|
| SYSTEM.ATTACH | Einbindungsprogramm fuer UCSD 1.1 |
| ATTACH.DATA   | Treiberdefinitionen               |
| AP14DR5.DRV   | Treiberprogramm fuer Slot 5       |
| AP14DR6.DRV   | Treiberprogramm fuer Slot 6       |
| AP14DR7.DRV   | Treiberprogramm fuer Slot 7       |
| AP14FORM.CODE | Formatierungsprogramm             |
| AP14CONF.CODE | Konfigurationsprogramm            |

Von der Originaldiskette sollte vor der Benutzung eine Back-up Diskette erstellt werden.

Das Einbindungsprogramm, sowie die einzelnen Treiber sind fuer das UCSD-PASCAL System 1.1 vorgesehen. Fuer das 1.2 System ist eine andere Softwareversion notwendig.

## 2. Konfiguration des Treibers

Fuer die Konfiguartion des Treibers muessen sich folgende Dateien auf der Arbeitsdiskette befinden :

```
AP14DRx.DRV ==> ATTACH.DRIVERS umbenennen
ATTACH.DATA
AP14CONF.CODE
```

Zuerst muss der Slot, in dem die AP 14 betrieben werden soll , feststehen. Das File AP14DRx.DRV ist fuer den gewuenschten Slot auszuwaehlen.

Als zweites ist das ausgewaehlte Treiberprogramm in ATTACH.DRIVERS umzubenenen. Es folgt der Aufruf des Programmes AP14CONF.CODE . Dieses meldet sich mit folgendem Menue :

L)esen A)nzeigen S)chreiben V)eraendern E)nde N)ormal

Die einzelnen Menuepunkte haben folgende Bedeutung :

- L)esen Es erscheint die Frage nach dem Treiber File (ATTACH.DRIVERS). Dieses File wird eingelesen um konfiguriert zu werden.
- A)nzeigen Die momentan gueltige Konfiguration wird angezeigt.
- S)chreiben Der Treiber wird mit der erstellten Konfiguration auf die Diskette geschrieben. Die Datei 'ATTACH.DATA' wird ebenfalls mit den aktuellen Daten versorgt.
- V)eraendern Die Parameter des Treibers koennen gesetzt werden. Die Einstellung erfordert die Kenntniss der Laufwerkparameter.

Laufwerkstyp : 8" oder 5 1/4" diese Angabe spezifiziert die Uebertragungsgeschwindigkeit des Laufwerks. 8" entspricht 500 kBit's pro Sekunde, 5 1/4" entspricht 250 kBit pro Sekunde.

Bustyp : Es wird der Stecker selektiert auf dem die Aktion stattfinden soll. Diese Umschaltung muss bei 5 1/4" Laufwerken mit 1.6 MByte unformatierten Daten auf 5 1/4" stehen, wobei der Laufwerkstyp jedoch mit 8" angegeben werden muss.

Stepprate : Die Zeit die fuer eine Positionierung von Spur zu Spur benoetigt wird kann nicht direkt angegeben werden. Die Zeiten setzen sich wie folgt zusammen :

|   |                      |            |
|---|----------------------|------------|
| 0 | entspricht 3 ms (5") | 6 ms (8")  |
| 1 | entspricht 6 ms (5") | 12 ms (8") |
| 2 | entspricht 12 ms(5") | 20 ms (8") |
| 3 | entspricht 15 ms(5") | 30 ms (8") |

Volume : Der Treiber kann maximal 4 Laufwerke verwalten. Die Volumes im UCSD-System koennen von 9 bis 12 angegeben werden. Es ist dabei zu beachten, das eventuell vorhandene andere Treiberprogramme nicht das gleiche Volume haben duerfen.

- E)nde      Das Datenfile ATTACH.DATA wird veraendert und auf die Diskette geschrieben. Es folgt das Programmende.
  
- N)ormal    Durch diesen Menuepunkt kann aus einer Anzahl vorgegebener Laufwerkstypen ein spezieller ausgewaehlt werden. Es wird die Laufwerksnummer und das Volume abgefragt, wobei nur die angegebenen Moeglichkeiten zulaessig sind. Kommt das gewuenschte Laufwerk nicht im Menue vor muss die Option V)eraendern gewaehlt werden.



### 3. Installation des Treibers

Nachdem der Treiber konfiguriert ist, muss dieser in das UCSD System eingebunden werden. Die Einbindung nimmt das System selbst vor. Nach dem Booten wird das Programm SYSTEM.ATTACH gestartet. Dieses Programm benoetigt die Dateien ATTACH.DRIVERS und ATTACH.DATA auf dem Bootlaufwerk. Es koennen nur die angegebenen Programmnamen verwendet werden.

Auf der Bootdiskette muessen folgende Files vorhanden sein :

|                |                             |
|----------------|-----------------------------|
| ATTACH.DRIVERS | umbenannt aus AP14DRx.DRV   |
| ATTCH.DATA     |                             |
| SYSTEM.xxx     | Files der UCSD Bootdiskette |

#### 3.1 Beispiel einer Konfigurierung

In diesem Beispiel wird ein doppelseitiges 80 Spur Lauwerk verwendet, das eine Spurwechselzeit von 3 ms zuloesst. Das Aufzeichnungsformat ist double Density (Beispiel TEAC FD55F). Die Konfiguration wird schrittweise durchgefuehrt, so dass andere Kombinationen leicht nachvollzogen werden koennen.

-1- Herstellen einer Systemdiskette (APPLE1) mit Hilfe des Formatters und des Filers (Im APPLE PASCAL Handbuch nachzulesen).

-2- Die Files SYSTEM.ATTACH, ATTACH.DATA, AP14CONF.CODE, AP14FORM.CODE sind auf die Systemdiskette von der mitgelieferten Anpassungsdiskette zu kopieren. Der AP14 Treiber (AP14DR6.DRV, AP17DR7.DRV, AP17DR5.DRV) wird nach dem Slot, inddem die AP14 betrieben werden soll, ausgewaehlt. Dieser muss in ATTACH.DRIVERS umbenannt werden und ebenfalls auf die Systemdiskette uebertragen werden.

|             |                                             |
|-------------|---------------------------------------------|
| AP14DR5.DRV | fuer Slot 5, umbenennen nach ATTACH.DRIVERS |
| AP14DR6.DRV | fuer Slot 6, umbenennen nach ATTACH.DRIVERS |
| AP14DR7.DRV | fuer Slot 7, umbenennen nach ATTACH.DRIVERS |

-3- Das Programm AP14CONF.CODE wird auf der Systemdiskette gestartet. Es folgt ein Menue am oberen Bilschrimrand. Zuerst wird L fuer Lesen eingegeben. Das Programm laed nun den Treiber in den Haptspeicher um ihn zu modifizieren. Danach ist der Buchstabe N fuer Normal einzugeben. Es erscheint die Abfrage der Laufwerksnummer. Es wird 1 eingegeben. Daraufhin folgt eine Liste von Laufwerkskonfigurationen. Das ausgewaehlte Laufwerk, im Beispiel [4], wird eingegeben. Um die Konfiguration abzuschliessen wird nach dem Volume gefragt, das dem ausgewaehltem Laufwerk entsprechen soll. Hier wird mit 9 geantwortet. Die Konfiguration fuer das Laufwerk 1 ist abgeschlossen. Fuer weiter Laufwerke wird der Ablauf wiederholt, mit der Einschraenkung, dass ein bereits definiertes Volume nicht mehr verwendet wrden darf. Um den konfigurierten Trieber auf Diskette zu bringen wird S fuer Speichern eingegeben. Das Konfigurationsprogramm wird danach durch Eingabe von E, (fuer E)nde verlassen.

- 4- Nachdem der Treiber konfiguriert ist, muss das System mit der neu erstellten Systemdiskette gestartet werden, dabei genuegt der I)init Befehl in der Kommandozeile ! nicht ! aus. Es muss ein Reset gegeben werden.
- 5- Das System startet nun wie gewohnt und schaltet nach der Startmeldung auf das neu konfigurierte Laufwerk, um die Directory zu lesen. Da noch keine formatierte Diskette vorliegt, kann der Zugriff eine kurze Zeit dauern. Das UCSD System meldet sich daraufhin mit dem Kommandomenue.
- 6- Damit das System lauffaehig wird muss eine Diskette im gewuenschten Format formatiert werden. Dazu wird das Programm AP14FORM.CODE aufgerufen. Als erste Abfrage wird der Slot der AP14 abgefragt. Nach dieser Eingabe erscheint eine Menue mit verschiedenen Laufwerkstypen. Das Beispiellaufwerk entspricht auf hier der Nummer 4. Ist diese Nummer eingegeben worden, erfolgt die Aufforderung eine neue Diskette in das angegebene Laufwerk einzulegen und irgendeine Taste zu betaetigen. Der Formatierungsvorgang wird gestartet. Nach Abschluss und erfolgreichem Formatieren erhaelt die eingelegte Diskette den Namen BLANK:.  
Beim Formatieren ist zu beachten, dass immer mit dem Format formatiert werden muss, auf welches auch das Laufwerk konfiguriert ist.
- 7- Mit der Systemdiskette und der Arbeitsdiskette BLANK: ist die Konfiguration, bzw. die Installierung abgeschlossen.

#### 4. Formatieren

Das Programm AP14FORM.CODE ist ein Formatierungsprogramm, das einige Formate fuer die Disketten vorgibt. Nach dem Starten des Programmes fragt das Programm nach dem Slot, in dem die AP14 steckt. Zulaessig sind Slot 5, Slot 6 und Slot 7. Nach der Beantwortung dieser Frage erscheint das folgende Menue:

```
[1] 5" 40 Track SS/DD 9 Sektoren/Track
[2] 5" 40 Track DS/DD 9 Sektoren/Track
[3] 5" 80 Track SS/DD 9 Sektoren/Track
[4] 5" 80 Track DS/DD 9 Sektoren/Track
[5] 8" 77 Track SS/DD 15 Sektoren/Track
[6] 8" 77 Track DS/DD 15 Sektoren/Track
[7] 5" 80 Track DS/DD 15 Sektoren/Track
[8] OTHER FORMAT
```

[E] END

Die 8" auf 5" Formate (z.B. TEAC 55G / 55FG) sind durch die Option [7] zu erreichen. Neben den fest vorgegebenen Formaten koennen mit der Option [8] eigene Formate realisiert werden. Dazu sind die einzelnen Parameter entsprechend des Dialoges einzugeben. Nach der Auswahl eines Formates ist die zu formatierende Diskette einzulegen. Nach dem Formatieren dieser Diskette kann eine weitere Diskette formatiert werden. Mit der Option [E] kan das Programm beendet werden. Die neu formatierte Diskette erhaelt den Namen 'BLANK:'. Es ist zu beachten, das nur Formate mit 512 Byte Sektorgroesse vom Treiberprogramm unterstuetzt werden. Bei einem Fehler bei der Formatierung wird dieser gemeldet und ins Haputmenue zurueckgeschaltet.

Es ist sicherzustellen das das Format der Disketten mit dem des Treibers uebereinstimmt um Fehlfunktionen zu vermeiden.



## 5. Diskettenaufbau

Die Diskette ist nach den beim Formatieren eingestellten Parametern aufgeteilt. Die Sektornummer ist physikalisch von 1 bis Maxsektor aufgeteilt. Die pyhisikalische Spurinformatierung reicht von 0 bis Maxspur. Es wird das IBM 34 Format verwendet, wobei jedoch die Sektorgroesse festgelegt wird. Die Floppy Disk Formate haben keinen Verschiebefaktor swischen den einzelnen Sektoren. Auf den Sektor 1 folgt der Sektor 2 usw..

I B S C O M P U T E R T E C H N I K

AP-14 Disk I/O- Handler  
für PRODOS

Copyright (C) 1985 by  
- IBS Computertechnik  
&  
Volker Baumgarte

IBS COMPUTERTECHNIK

Olperstr. 10  
4800 Bielefeld 14  
Tel. 0521/ 444032

Die Diskette enthält 4 Files:

|            |                                             |
|------------|---------------------------------------------|
| SETUP      | zum Einstellen einer Laufwerkskonfiguration |
| INSTALL    | zum Installieren des AP-14 Treibers         |
| FORMAT     | ein spezielles Formatierprogramm            |
| FORMAT.OBJ | Maschinenroutinen für FORMAT                |

Mit dem sehr komfortablen SETUP können Sie alle Laufwerkskonfigurationen unter ProDOS einstellen und benutzen. Es gibt nur folgende kleine Einschränkung: Das Laufwerk muß in der Lage sein, Double Density zu lesen und zu schreiben (alte 8"-Laufwerke erfüllen diese Bedingung zum Teil nicht).

### Sicherungskopie erstellen ! ! !

Stellen Sie vor dem ersten Gebrauch Ihres neuen Treibers eine Sicherungskopie Ihrer Originaldiskette her, da eine Konfiguration den Treiber modifiziert.

**ACHTUNG:** Die AP-14 Diskette enthält keine Kopie von ProDOS, ist also nicht bootfähig.

Um Ihnen eine möglichst flexible Diskettenbehandlung zu ermöglichen, ist die Art der unterstützten Laufwerke von uns nicht festgelegt, sondern Sie selbst legen die Art der unterstützten Laufwerke fest.

Um Ihr System zu konfigurieren, benötigen Sie folgende Files auf Ihrer Arbeitsdiskette:

SETUP  
INSTALL

Sie sollten sich, bevor Sie beginnen, noch eine Kopie Ihrer Arbeitsdiskette herstellen, um ständig einen 'jungfräulichen' Treiber zu haben, auch wenn es möglich ist, den modifizierten Treiber neu zu konfigurieren.

### SLOTABHÄNGIG ! ! !

**Achtung!** Die AP-14 Software ist slotabhängig. Das bezieht sich aber nur auf die Software im eingesetzten EPROM. Die AP-14 kann prinzipiell in jedem Slot betrieben werden (mit Ausnahme von Slot 0). Sie benötigen allerdings für jeden Slot ein anderes EPROM. Sofern bei der Bestellung nicht anders angegeben, liefern wir die AP-14 mit Software für Slot 6 aus. Sie können bei Bedarf dieses EPROM einmal kostenlos gegen ein EPROM für einen Slot Ihrer Wahl austauschen oder natürlich auch zusätzliche Slot-EPROMs erwerben.



## Betrieb der AP-14 in Slot 7

Die AP-14 kann auch in Slot 7 betrieben werden. Hier tritt allerdings das Problem auf, daß während der Autostartphase die AP-14 als normaler Disk-Controller erkannt wird und deshalb von der AP-14 gebootet wird. Beim Betrieb von anderen Betriebssystemen (Pascal, CP/M) wird die Fehlermeldung 'Must boot from Slot six' ausgegeben. Dies können Sie folgendermaßen umgehen:

Betätigen Sie direkt nach dem Einschalten den RESET-Knopf (ctrl-Reset) und booten Sie von Hand mit Eingabe von 'PR#6'.

### Inbetriebnahme

Vor der ersten Inbetriebnahme lesen Sie sich bitte diese Anleitung genauestens durch!

Setzen Sie - bei ausgeschaltetem Rechner die AP-14 in den vorgesehenen (siehe oben) Slot ein. Booten Sie nun eine ProDOS Diskette entweder von einem an die AP-14 angeschlossenen Apple-Laufwerk oder von einem anderen Controller aus.

Geben Sie nun unter Basic das Kommando

-SETUP

ein. Es meldet sich das Konfigurationsprogramm mit der Frage nach der Slotnummer der AP-14. Geben Sie hier die Nummer des Slots ein, in dem sich die AP-14 befindet. Als nächstes gibt das Programm die Laufwerksnummer (0 - 3) und den dazugehörigen Slot aus. Die angegebene Slot- und Drivenummer bezieht sich auf die logische Zuweisung des Laufwerks. Sie hat mit der Slotnummer der AP-14 nichts zu tun. Diese Slot- und Drivebezeichnungen sind für die ersten drei Laufwerke fest vorgegeben und können nicht verändert werden. Lediglich beim vierten Laufwerk können Sie die logische Slot- und Drivenummer frei bestimmen.

### Einstellung der Laufwerksparameter

1. "Soll das Laufwerk installiert werden? "

Wenn Sie auf diese Frage mit Ja antworten, wird das Laufwerk beim Aufruf von INSTALL installiert. Antworten Sie hier mit Nein, so wird das Laufwerk nicht benutzt. Mit dieser Frage wird erreicht, daß nicht mehr Laufwerke installiert werden als auch wirklich angeschlossen sind. Dadurch werden Wartezeiten bei der Suche nach einem bestimmten Volumenamen vermieden.

2. "Betrieb am 8"- oder am 5 1/4"-Bus? "

Hier können Sie angeben, ob das Laufwerk am 8"-Bus (das ist der 50-polige Stecker) oder am 5 1/4"-Bus (das ist der 34-polige Stecker) angeschlossen ist. Wenn Sie auf diese Frage mit einer 5 antworten, so wird der 5 1/4"-Bus benutzt, antworten Sie mit einer 8, so wird der 8"-Bus benutzt. Die folgende Frage erscheint dann nicht.

3. "Handelt es sich um ein 8"-kompatibles Laufwerk? "

Seit einiger Zeit gibt es 5 1/4"-Laufwerke, die aber trotzdem alle Vorteile von 8"-Laufwerken, nämlich größere Datenkapazität und höhere Zugriffsgeschwindigkeit, bieten. Dies sind die sogenannten 8"-kompatiblen Laufwerke (z.B. Teac FD55G). Wenn Sie ein solches Laufwerk benutzen, geben Sie an dieser Stelle ein J ein, andernfalls ein N.

4. "Ist das Laufwerk ein- oder zweiseitig? "

Hier können Sie angeben, ob es sich um ein Laufwerk mit einem Schreib-/Lesekopf oder um eines mit zwei Schreib-/Leseköpfen handelt. Wenn Ihr Laufwerk zwei Schreib-/Leseköpfe hat, geben Sie hier eine 2 ein, sonst eine 1.

5. "Spurwechselzeit? "

Hier geben Sie bitte die Kennziffer für eine der angegebenen Zeiten ein. Die Spurwechselzeit gibt an, wie lange der Schreib-/Lesekopf benötigt, um von einem Track auf den nächsten zu fahren. Diese Geschwindigkeit hängt von der Mechanik des Laufwerks ab. Bei modernen Laufwerken können Sie allerdings beruhigt die höchste Geschwindigkeit (3ms) wählen.

Die Trackzahl Ihres Laufwerks spielt hier noch keine Rolle. Deshalb wird sie hier auch noch nicht abgefragt. Erst bei Benutzung des Formatters ist diese Angabe von Bedeutung, da dort die Diskettenkapazität errechnet werden muß.

Nachdem Sie diese Fragen für alle Laufwerke beantwortet haben, wird noch einmal nachgefragt, ob alle Angaben richtig sind. Wenn Sie auf diese Frage mit Nein antworten, startet das Programm von neuem und beginnt wieder bei der Frage nach der Slotnummer der AP-14. Wenn Sie mit Ja antworten, wird das modifizierte INSTALL auf der Diskette abgespeichert und Sie befinden sich wieder im Basic.

Installation des Treibers

Zur Installation des Treibers geben Sie bitte folgendes Kommando ein:

-INSTALL

Das Programm meldet sich dann mit:

PRODOS INSTALLATIONSPROGRAMM DER AP-14

=====

COPYRIGHT 1985 BY IBS COMPUTERTECHNIK  
ALLE RECHTE VORBEHALTEN

Nach erfolgreicher Installation meldet das Programm

TREIBER INSTALLIERT.

und springt zurück ins Basic.



Sollte während der Installation der Fall eintreten, daß für ein Laufwerk die Slot- und Drivenummer schon belegt ist, so fragt das Programm nach, ob es trotzdem installieren soll. Antworten Sie hier mit "J", so wird das Laufwerk installiert und das Laufwerk, das vorher diese Kombination belegte, kann nicht mehr angesprochen werden. Wenn Sie mit "N" antworten, bleibt alles beim alten und das Laufwerk wird nicht installiert. ACHTUNG: Nur dieses eine Laufwerk wird dann nicht installiert. Auf alle anderen Laufwerke hat Ihre Antwort keinen Einfluß.

### Der Formatter

Bevor Sie eine Diskette mit der AP-14 benutzen können, müssen Sie diese formatieren. Zu diesem Zweck rufen Sie den Formatter auf. Dies geschieht mit dem Kommando:

-FORMAT

Der Formatter meldet sich kurze Zeit später und fragt dann nach der logischen Slot- und Drivenummer des Laufwerks, in dem Sie eine Diskette formatieren wollen. Geben Sie hier bitte die entsprechenden Werte ein. Wenn für die angegebene Slot- und Drivenummer kein Laufwerk installiert ist, meldet der Formatter dies, und Sie können erneut die Slot- und Drivenummer eingeben. Danach werden Sie gefragt, wie viele Tracks Ihr Laufwerk hat. Geben Sie hier bitte die entsprechende Zahl ein. ACHTUNG: Diese Frage erscheint nicht bei 8"-Laufwerken (8"-kompatiblen Laufwerken). Hier wird automatisch eine Trackzahl von 77 (80) angenommen.

Danach beginnt der Formatter mit dem Formatiervorgang. Die Nummer der Spur, die gerade formatiert wird, wird auf dem Bildschirm angezeigt.

### ACHTUNG:

Der Formatter überprüft nicht, ob die Diskette bereits Daten enthält. Eine solche Überprüfung würde zu lange dauern (ca. 20 Sekunden) und auch nicht alle Möglichkeiten erfassen, da Disketten, die mit einem Apple-Laufwerk formatiert worden sind, aufgrund des völlig anderen Formats als 'nicht formatiert' erkannt würden.

Sollte während des Formatierens ein Fehler auftreten, so wird dies vom Formatter gemeldet. In einem solchen Fall ist entweder die Diskette schadhaft oder Ihre AP-14 arbeitet nicht einwandfrei. Versuchen Sie zunächst, die Diskette noch einmal zu formatieren. Sollte der Fehler noch einmal auftreten, probieren Sie eine andere Diskette aus. Wenn der Fehler dann immer noch vorhanden ist, überprüfen Sie die Einstellung der Jumper (insbesondere der für die Ready-Meldung) auf der AP-14 und die Drehgeschwindigkeit ihres Laufwerks. Wenn dies alles nichts hilft, wenden Sie sich bitte an Ihren Fachhändler oder an IBS.



## Format-Beschreibung

Es wird folgendes Format verwendet:

Fuer alle Einstellungen:      512 Bytes/Sektor  
                                      Skew:            Hard-Skew 2

### Fuer 5 1/4" :

8 Sektoren/ Track, doppelseitig (alternierend), 35, 40, 80 Track

### Fuer 8 " und 8"-kompatibel:

16 Sektoren/ Track, doppelseitig (alternierend), 77 Track

Fuer beide Formate gilt: Sektorenzaehlweise 0 - 7, bzw. 0 - F

0 → 3,1

1 → 1,1

2 → 1,2

3 →